

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出願年月日 2002年11月26日
Date of Application:

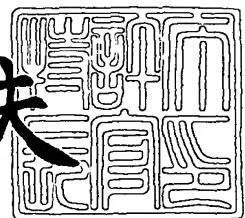
出願番号 特願2002-342143
Application Number:
[ST. 10/C] : [JP2002-342143]

出願人 トレンティテクノロジーズ株式会社
Applicant(s):
株式会社日立製作所

2003年 7月24日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



【書類名】 特許願

【整理番号】 H02014901

【提出日】 平成14年11月26日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/10

【発明者】

【住所又は居所】 茨城県ひたちなか市堀口751番地 トレセンティテクノロジーズ株式会社内

【氏名】 田中 英樹

【発明者】

【住所又は居所】 茨城県ひたちなか市堀口751番地 トレセンティテクノロジーズ株式会社内

【氏名】 美馬 宏行

【特許出願人】

【識別番号】 500495256

【氏名又は名称】 トレセンティテクノロジーズ株式会社

【代理人】

【識別番号】 100080001

【弁理士】

【氏名又は名称】 筒井 大和

【電話番号】 03-3366-0787

【手数料の表示】

【予納台帳番号】 006909

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置およびその製造方法

【特許請求の範囲】

【請求項 1】 溝の内部に埋め込まれた絶縁膜からなる複数の素子分離部を基板の主面上に有する半導体装置であって、

活性領域の幅が相対的に小さい第1の領域では、前記素子分離部のリセス量は相対的に大きく、活性領域の幅が相対的に大きい第2の領域では、前記素子分離部のリセス量はゼロまたは相対的に小さいことを特徴とする半導体装置。

【請求項 2】 請求項1記載の半導体装置において、前記第1の領域における活性領域の幅は $1 \mu m$ 未満、前記第2の領域における活性領域の幅は $1 \mu m$ 以上であることを特徴とする半導体装置。

【請求項 3】 基板に行列状に配置された複数のメモリセルからなるメモリアレイおよび前記複数のメモリセルとは異なる回路素子が形成された周辺回路領域を備えており、溝の内部に埋め込まれた絶縁膜からなる複数の素子分離部を前記基板の主面上に有する半導体装置であって、

前記メモリアレイにおける前記素子分離部のリセス量は相対的に大きく、前記周辺回路領域における前記素子分離部のリセス量はゼロまたは相対的に小さいことを特徴とする半導体装置。

【請求項 4】 請求項3記載の半導体装置において、前記メモリアレイにおける活性領域の幅は $1 \mu m$ 未満、前記周辺回路領域における活性領域の幅は $1 \mu m$ 以上であることを特徴とする半導体装置。

【請求項 5】 請求項3記載の半導体装置において、前記メモリアレイにおける前記素子分離部のリセス量は $80 nm$ 程度、前記周辺回路領域における前記素子分離部のリセス量は $0 \sim 40 nm$ 程度であることを特徴とする半導体装置。

【請求項 6】 請求項3記載の半導体装置において、前記メモリアレイにおける活性領域はストライプ形状であることを特徴とする半導体装置。

【請求項 7】 請求項3記載の半導体装置において、前記複数のメモリセルは、各列では前記複数のメモリセルのソース・ドレイン領域が互いに並列接続され、各行では複数のワード線が延在してなるフラッシュメモリのメモリアレイを

構成することを特徴とする半導体装置。

【請求項 8】 請求項 7 記載の半導体装置において、前記複数のメモリセルの各々は、前記ソース・ドレイン領域の間のチャネル領域上に第1の絶縁膜を介して設けられた浮遊ゲート電極用の下層導体膜と、前記浮遊ゲート電極用の下層導体膜と電気的に接続され、前記浮遊ゲート電極用の下層導体膜から前記ソース・ドレイン領域上の第2の絶縁膜を介して前記ソース・ドレイン領域上に延在する浮遊ゲート電極用の上層導体膜と、前記浮遊ゲート電極用の上層導体膜上に第3の絶縁膜を介して設けられ、前記浮遊ゲート電極用の上層導体膜上に重ねられた前記ワード線として作用する制御ゲート電極用の導体膜とを有することを特徴とする半導体装置。

【請求項 9】 (a) 基板の第1の領域に第1の溝を形成し、前記第1の領域とは異なる第2の領域に第2の溝を形成する工程と、

(b) 前記基板上に絶縁膜を堆積した後、前記絶縁膜を平坦化して前記第1および第2の溝の内部に前記絶縁膜を埋め込む工程と、

(c) 前記第2の領域をレジストパターンで覆った後、前記第1の溝の内部に埋め込まれた前記絶縁膜をエッチングして、前記第1の溝の内部に埋め込まれた前記絶縁膜の上面を前記第2の溝の内部に埋め込まれた前記絶縁膜の上面よりも落ち込ませ、前記第1の領域に第1の素子分離部を形成し、前記第2の領域に第2の素子分離部を形成する工程とを有し、

前記第1の領域は、活性領域の幅が相対的に小さい領域であり、前記第2の領域は、活性領域の幅が相対的に大きい領域であることを特徴とする半導体装置の製造方法。

【請求項 10】 請求項 9 記載の半導体装置の製造方法において、前記第1の素子分離部のリセス量は相対的に大きく、前記第2の素子分離部のリセス量はゼロまたは相対的に小さいことを特徴とする半導体装置の製造方法。

【請求項 11】 請求項 9 記載の半導体装置の製造方法において、前記第1の領域における活性領域の幅は $1 \mu m$ 未満、前記第2の領域における活性領域の幅は $1 \mu m$ 以上であることを特徴とする半導体装置の製造方法。

【請求項 12】 請求項 9 記載の半導体装置の製造方法において、

(d) 前記基板の正面にゲート絶縁膜を形成した後、前記基板上に導電膜を堆積し、レジストパターンをマスクとして前記導電膜を加工することにより、前記第1の領域に前記導電膜からなるゲート電極を形成する工程と、

(e) 前記第1の領域に形成された前記ゲート電極の両側の前記基板にそれぞれ不純物を導入して、ソース・ドレイン領域を形成する工程とをさらに含むことを特徴とする半導体装置の製造方法。

【請求項13】 基板に行列状に配置された複数のメモリセルを有し、前記複数のメモリセルの各々は浮遊ゲート電極および制御ゲート電極を有し、各列において前記複数のメモリセルのソース・ドレイン領域が互いに並列接続され、前記制御ゲート電極と一体に形成されたワード線が前記複数のメモリセルのゲート長方向である行方向に延在して成るメモリアレイと、前記複数のメモリセルとは異なる回路素子により構成される周辺回路領域とを形成する半導体装置の製造方法であって、

(a) 前記基板の前記メモリアレイの素子分離部となる領域に第1の溝を形成し、前記基板の前記周辺回路領域の素子分離部となる領域に第2の溝を形成する工程と、

(b) 前記基板上に第1の絶縁膜を堆積した後、前記第1の絶縁膜を平坦化して前記第1および第2の溝の内部に前記第1の絶縁膜を埋め込む工程と、

(c) 前記周辺回路領域をレジストパターンで覆った後、前記第1の溝の内部に埋め込まれた前記第1の絶縁膜をエッチングして、前記第1の溝の内部に埋め込まれた前記第1の絶縁膜の上面を前記第2の溝の内部に埋め込まれた前記第1の絶縁膜の上面よりも落ち込ませ、前記メモリアレイに第1の素子分離部を形成し、前記周辺回路領域に第2の素子分離部を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項14】 請求項13記載の半導体装置の製造方法において、前記メモリアレイにおける前記第1の素子分離部のリセス量は相対的に大きく、前記周辺回路領域における前記第2の素子分離部のリセス量はゼロまたは相対的に小さいことを特徴とする半導体装置の製造方法。

【請求項15】 請求項14記載の半導体装置の製造方法において、前記メ

モリアレイにおける活性領域の幅は $1 \mu\text{m}$ 未満、前記周辺回路領域における活性領域の幅は $1 \mu\text{m}$ 以上であることを特徴とする半導体装置の製造方法。

【請求項16】 請求項14記載の半導体装置の製造方法において、前記メモリアレイにおける前記第1の素子分離部のリセス量を 80 nm 程度、前記周辺回路領域における前記第2の素子分離部のリセス量を $0 \sim 40 \text{ nm}$ 程度とすることを特徴とする半導体装置の製造方法。

【請求項17】 請求項14記載の半導体装置の製造法において、前記メモリアレイにおける活性領域をストライプ形状とすることを特徴とする半導体装置の製造方法。

【請求項18】 請求項13記載の半導体装置の製造方法において、

(d) 前記メモリセルの活性領域上に電界効果トランジスタのゲート絶縁膜となる第2の絶縁膜を形成する工程と、

(e) 前記メモリアレイの活性領域において、前記第2の絶縁膜上に浮遊ゲート電極用の下層導体膜を前記第1の方向に延在するように形成する工程と、

(f) 前記浮遊ゲート電極用の下層導体膜の両側の前記基板に、不純物を導入して前記第1の方向に延在するソース・ドレイン領域を形成する工程と、

(g) 前記ソース・ドレイン領域上に前記第2の絶縁膜より厚い第3の絶縁膜を形成する工程と、

(h) 前記浮遊ゲート電極用の下層導体膜の上層に接続され、前記第3の絶縁膜上に延びる浮遊ゲート電極用の上層導体膜を前記第1の方向に沿って形成する工程と、

(i) 前記浮遊ゲート電極用の上層導体膜の上層に第4の絶縁膜を形成する工程と、

(j) 前記第4の絶縁膜上に制御ゲート電極用の導体膜を形成する工程と、

(k) 前記制御ゲート電極用の導体膜、前記浮遊ゲート電極用の上層導体膜および下層導体膜を前記行方向である第2の方向に沿ってパターニングすることによって、前記制御ゲート電極と一体に形成されたワード線および前記浮遊ゲート電極を形成する工程とをさらに含むことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】**【発明の属する技術分野】**

本発明は、半導体集積回路装置およびその製造技術に関し、特に、高集積化に適した不揮発性半導体記憶装置およびその製造方法に適用して有効な技術に関する。

【0002】**【従来の技術】**

データの書き込みおよび消去を電気的に行うことが可能な不揮発性半導体記憶装置は、例えば配線基板上に組み込んだままの状態でデータの書き換えが可能であり、使いやすいためからメモリを必要とする様々な製品に幅広く使用されている。

【0003】

特に、電気の一括消去型EEPROM (Electric Erasable Programmable Read Only Memory; 以下、フラッシュメモリという) は、メモリアレイの一定の範囲 (メモリアレイの全てのメモリセルまたは所定のメモリセル群) のデータを一括して電気的に消去する機能を持っている。さらにフラッシュメモリは、1トランジスタ積層ゲート構造であることからセルの小型化が進み、高集積化への期待も大きい。

【0004】

1トランジスタ積層ゲート構造は、1個の不揮発性メモリセル (以下、メモリセルと略す) が、基本的に1個の2層ゲート電界効果トランジスタ (Metal Insulator Semiconductor Field Effect Transistor; 以下MISFETと記す) で構成されている。その2層ゲートMISFETは、半導体基板上にトンネル絶縁膜を介して浮遊ゲート電極を設け、さらにその上に層間膜を介して制御ゲート電極を積み重ねることで形成されている。データの記憶は、上記浮遊ゲート電極に電子を注入したり、浮遊ゲート電極から電子を抜き出したりすることで行われている。

【0005】

フラッシュメモリについては、半導体基板に行列状に配置された複数のメモリ

セルを有し、各列において上記複数のメモリセルのソース・ドレイン領域が互いに並列接続され、各行においてワード線が延在するメモリアレイ構成の並列型フラッシュメモリの構造およびその使用方法が開示されている（例えば、特許文献1参照）。この種のフラッシュメモリは、「AND型フラッシュメモリ」の名称としても知られている。

【0006】

【特許文献1】

特開平8-279566号公報

【0007】

【発明が解決しようとする課題】

本発明者は、前記AND型フラッシュメモリを有する半導体集積回路装置を開発するにあたり、以下の問題点があることを見いだした。

【0008】

すなわち、フラッシュメモリの高集積化に伴いメモリセルは微細化されるが、同時に基板に発生する結晶欠陥が増加して、メモリセルのジャンクションリーグが多発し、メモリ読み出し不良またはデータ破壊モード等の不良が起きることが明らかとなった。

【0009】

この結晶欠陥は、例えば不純物がイオン打ち込みされた領域に生ずる応力、ゲート電極または素子分離部の形成過程で生ずる応力などに起因するが、特に、素子分離部をトレチアイソレーション（Shallow Trench Isolation；以下、STIという）で構成した場合に、多くの結晶欠陥の発生が基板に見られる。

【0010】

STIは、例えば基板に浅い溝を形成した後、この溝の内部に絶縁膜を埋め込み、さらにその表面を平坦化することにより形成される。しかし、STIを形成した後に行われる800°C以上の熱処理工程において、溝の側壁に酸化膜の成長による体積膨張が生じ、この体積膨張が溝の内部に埋め込まれた絶縁膜によって拘束されて、結晶欠陥の原因となる圧縮応力を基板に生ずる。

【0011】

この圧縮応力は、活性領域の幅が相対的に狭く、パターン密度が相対的に高い箇所に集中しやすいため、フラッシュメモリでは、活性領域の幅が相対的に広い領域、例えば周辺回路領域よりも活性領域の幅が相対的に狭いメモリアレイにおいて結晶欠陥が多く発生し、メモリセルのジャンクションリークを引き起こす。

【0012】

本発明の目的は、フラッシュメモリにおいて基板に発生する結晶欠陥を抑制し、メモリセルのジャンクションリークのマージンを向上することのできる技術を提供することにある。

【0013】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0014】

【課題を解決するための手段】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0015】

本発明は、メモリアレイにおける素子分離部のリセス量を相対的に大きくし、周辺回路領域における素子分離部のリセス量をゼロまたは相対的に小さくするものである。

【0016】

本発明は、基板のメモリアレイの素子分離部となる領域に第1の溝を形成し、基板の周辺回路領域の素子分離部となる領域に第2の溝を形成する工程と、基板上に絶縁膜を堆積した後、絶縁膜を平坦化して第1および第2の溝の内部に絶縁膜を埋め込む工程と、周辺回路領域をレジストパターンで覆った後、第1の溝の内部に埋め込まれた絶縁膜をエッチングして、第1の溝の内部に埋め込まれた絶縁膜の上面を第2の溝の内部に埋め込まれた絶縁膜の上面よりも落ち込ませ、メモリアレイにリセス量が相対的に大きい素子分離部を形成し、周辺回路領域にリセス量がゼロまたは相対的に小さい素子分離部を形成する工程とを有するものである。

【0017】**【発明の実施の形態】**

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の機能を有する部材には同一の符号を付し、その繰り返しの説明は省略する。

【0018】

また、本実施の形態においては、MOSFET (Metal Oxide Semiconductor Field Effect Transistor) をして電界効果トランジスタの総称とし、これをMOSと略し、pチャネル型のMOSFETをPMOSと略し、nチャネル型のMOSFETをNMOSと略す。

【0019】

本実施の形態においては、例えば512メガビットの記憶容量を有するフラッシュメモリに本発明を適用した場合について説明する。ただし、本発明は512メガビットのものに限定されるものではなく種々適用可能であり、例えば512メガビットよりも小さい256メガビットのもの、あるいは512メガビット以上のものにも適用可能である。

【0020】

図1には、そのフラッシュメモリの一実施の形態のブロック構成が示されている。まず、同図をもとに、本実施の形態のフラッシュメモリの構成の概要について説明する。

【0021】

メモリアレイMARYに対して、ワード線を選択する行デコーダXDが接続されると共に、ビット線を選択する列デコーダYDがセンスアンプデータラッチSADLを介して接続される。入出力バッファIOBは、行アドレスバッファXBを介して行デコーダXDに接続されると共に列アドレスバッファYBを介して列デコーダYDに接続され、さらにセンスアンプデータラッチSADLおよび制御回路CCにも接続される。制御回路CCは、電源制御回路VCCを介して行デコーダXDおよびセンスアンプデータラッチSADLに接続される。

【0022】

制御回路CCは、コマンドデコーダ、電源切り換え回路および書き込み／消去回路から構成される。また、電源制御回路VCCは、基準電圧発生回路、書き込み／消去電圧発生回路および検証電圧発生回路から構成される。ここで、基準電圧発生回路は、書き込み／消去電圧発生回路および検証電圧発生回路等の各所定電圧を発生するために各回路へ入力される参照電圧を生成する回路である。

【0023】

メモリアレイMARYは、半導体基板の正面の大半を占めて配置されており、図の水平方向に平行して配置される所定数のワード線と、これに対して垂直な方向に平行して配置される所定数のビット線と、これらのワード線およびビット線の実質的な交点に格子配列される多数の2層ゲート構造型メモリセルとを有している。このメモリセルは、同一列に配置される $m+1$ 個を単位としてセルユニットにグループ分割され、そのセルユニットは、 $n+1$ 個を単位としてメモリセルブロックを構成する。

【0024】

さらに、この実施の形態のフラッシュメモリは、いわゆる階層ビット線方式を探り、メモリアレイMARYのビット線は、各セルユニットを構成する $m+1$ 個のメモリセルのドレインが共通結合されてなるサブビット線と、同一列に配置された $p+1$ 本のサブビット線がドレイン側の選択MOSを介して選択的に接続されるメインビット線からなる。

【0025】

メモリアレイMARYの各セルユニットを構成する $m+1$ 個のメモリセルのソースは、対応するローカルソース線にそれぞれ共有接合され、これらのローカルソース線は、対応するソース側の選択MOSを介して共通ソース線に結合される。また、メモリアレイMARYの同一行に配置される $n+1$ 個のメモリセルの制御ゲートは、対応するワード線にそれぞれ共通結合され、ドレイン側の選択MOSおよびソース側の選択MOSは、ワード線と平行して配置される $p+1$ 本のドレイン側ブロック選択信号線またはソース側ブロック選択信号線にそれぞれ共通結合される。

【0026】

次に、図1のフラッシュメモリに含まれるメモリアレイの部分的な回路図を図2に示す。同図をもとに、メモリアレイの具体的構成について説明する。これらの回路はNMO Sから構成されている。

【0027】

図2に示すように、本実施の形態のフラッシュメモリのメモリアレイM A R Yは、 $p + 1$ 個のメモリセルブロックM C B 0～M C B p（図2には、メモリセルブロックM C B 0, M C B 1と、メモリセルブロックM C B 2ならびにこれらのメモリセルブロックに関連する部分のみが例示される。以下、同様）を含み、これらのメモリセルブロックのそれぞれは、図の水平方向に平行して配置される $m + 1$ 本のワード線W 0 0～W 0 mないしW p 0～W p mと、図の垂直方向に平行して配置される $n + 1$ 本のメインビット線M B 0～M B n（M B）とを含む。これらのワード線およびメインビット線の実質的な交点には、 $(m + 1) \times (n + 1)$ 個の2層ゲート構造型のメモリセルM Cがそれぞれ格子配置される。

【0028】

メモリアレイM A R Yは、特に限定されないが、例えばA N D型アレイ構成とされ、メモリセルブロックM C B 0～M C B pを構成するメモリセルM Cは、同一列に配置される $m + 1$ 個を単位として $n + 1$ 個のセルユニットC U 0 0～C U 0 nないしC U p 0～C U p nにそれぞれグループ分割される。これらのセルユニットを構成する $m + 1$ 個のメモリセルM Cのドレインは、対応するサブビット線S B 0 0～S B 0 nないしS B p 0～S B p nにそれぞれ共通結合され、そのソースは、対応するローカルソース線S S 0 0～S S 0 nないしS S p 0～S S p nにそれぞれ共通結合される。また、各セルユニットのサブビット線S B 0 0～S B 0 nないしS B p 0～S B p nは、そのゲートが対応するドレイン側のブロック選択信号線M D 0～M D pに結合されたnチャネル型のドレイン側選択M O S N 1を介して対応するメインビット線M B 0～M B nに結合され、ローカルソース線S S 0 0～S S 0 nないしS S p 0～S S p nは、そのゲートが対応するソース側のブロック選択信号線M S 0～M S pに結合されたnチャネル型のソース側選択M O S N 3を介して共通ソース線S Lに結合される。

【0029】

メモリセルブロックMCB₀～MCB_pの各セルユニットは、さらに、対応するm+1個のメモリセルMCの共通結合されたドレイン、すなわちサブビット線SB₀₀～SB_{0n}ないしSB_{p0}～SB_{pn}と、対応するm+1個のメモリセルMCの共通結合されたソース、すなわちローカルソース線SS₀₀～SS_{0n}ないしSS_{p0}～SS_{pn}との間にそれぞれ設けられるnチャネル型の短絡MOSN₂をそれぞれ含む。各メモリセルブロックに含まれるn+1個の短絡MOSN₂のゲートは、対応する短絡MOS用のブロック選択信号線SC₀～SC_pにそれぞれ共通結合される。

【0030】

次に、本実施の形態のフラッシュメモリの素子配置および素子構造を図3～図6によって説明する。図3は上記メモリアレイの要部平面図、図4は図3と同じ平面領域であって図3よりも上層のレイアウト層の要部平面図、図5はメモリアレイおよび周辺回路領域の要部断面図、図6は図3のB-B線（メモリセルのチャネル部分をワード線に対して交差する方向（Y方向）に沿って切断した線）の断面図である。周辺回路はメモリアレイを制御し、メモリアレイとデータの授受を行う関連回路の総称である。

【0031】

なお、図5（a）に示すメモリアレイは図3のA-A線（ワード線W上をその延在方向（X方向）に沿って切断した線）の断面に相当する。図5（b）に示す周辺回路領域にはメモリアレイとは異なる回路素子が形成されており、周辺回路領域に示した低電圧系NMOSおよびPMOSは、駆動電圧が、例えば1.8～3.3V程度の相対的に低い周辺回路用のMOSである。周辺回路領域には駆動電圧が相対的に高い周辺回路用のMOSも形成されるが、ここでは省略する。また、ここでは、図5および図6の断面図を中心に説明するが、平面的な構成の説明箇所については図3および図4を隨時参照されたい。

【0032】

上記半導体チップを構成する半導体基板1は、例えばp型のシリコン単結晶からなり、メモリアレイMARYの半導体基板1には、例えばホウ素（B）が導入されてなるpウェルPW_mが形成され、周辺回路領域の半導体基板1には、例え

ばホウ素が導入されてなるpウェルPWPおよび、例えばリン（P）またはヒ素（As）が導入されてなるnウェルNWPが形成されている。

【0033】

pウェルPWMは、特に制限されないが、その下層に形成された埋め込みnウェルNWMと、pウェルPWMの側部側に形成されたnウェルNWPとに取り込まれており、半導体基板1から電気的に分離されている。その埋め込みnウェルNWMは、例えばリンまたはヒ素が半導体基板1に導入されて形成されてなり、半導体基板1上の他の素子からのノイズが半導体基板1を通じてpウェルPWM（すなわち、メモリセルMC）に侵入するのを抑制または防止したり、pウェルPWMの電位を半導体基板1とは独立して所定の値に設定したりする機能を備えている。

【0034】

半導体基板1の正面には、例えば溝型の分離部（トレンチアイソレーション）STIが形成されている。分離部STIは半導体基板1に掘られた溝内に絶縁膜が埋め込まれて形成されており、分離部STIの絶縁膜は、例えば酸化シリコン等からなる。メモリアレイMARYにおける分離部STIは、ワード線の延在方向（X方向）に沿って配置された複数のメモリセルMC間を電気的に分離するよう、Y方向に沿って平面帯状に配置されており、例えば $1\mu m$ 未満の幅を有するストライプ状の活性領域を構成する。

【0035】

また、メモリアレイMARYでは、分離部STIの絶縁膜の上面は半導体基板1の表面よりも落ち込んでおり、リセス量（半導体基板1の表面から分離部STIの絶縁膜の上面までの落ち込み量）は相対的に大きく、例えば $80 nm$ 程度である。このように、分離部STIをリセス量が相対的に大きい構造とすることにより溝の側壁の上部がフリー面となるので、 $800^{\circ}C$ 以上の温度で熱処理を行った場合などに、半導体基板1に生ずる応力を低減することができる。

【0036】

活性領域の幅が $1\mu m$ 以上で、パターンが相対的に疎に配置されている周辺回路領域では、分離部STIの絶縁膜の上面は半導体基板1の表面とほぼ一致する

ように平坦化されている。リセス量はゼロまたは相対的に小さく、例えば0～40 nm程度である。

【0037】

周辺回路領域では、活性領域から分離部STIにかけて連続的にMOSのゲート電極が存在する。このため、周辺回路領域でリセス量が大きい分離部STIを採用すると、活性領域の端部で電界集中が起こり、MOSのゲート絶縁膜が破壊されやすくなる。これを回避するためには、周辺回路領域の分離部STIのリセス量をゼロまたは相対的に小さくすることが望ましい。なお、周辺回路領域の活性領域はメモリアレイの活性領域よりも大きいことから、周辺回路領域では、分離部STIが半導体基板1に生ずる応力が分散されて、リセス量を大きくとらなくとも結晶欠陥の発生は抑えられる。

【0038】

各メモリセルMCは、半導体基板1に形成された一対のn型半導体領域2S, 2Dと、半導体基板1の主面（活性領域）上に形成された絶縁膜3aと、その上に形成された浮遊ゲート電極用の導体膜4と、その上に形成された層間膜5と、その上に形成された制御ゲート電極用の導体膜6とを有している。

【0039】

メモリセルMCのn型半導体領域2Sは、ソース領域を形成する領域であり、上記ローカルソース線SSの一部で形成されている。また、n型半導体領域2Dは、ドレイン領域を形成する領域であり、上記サブビット線SBの一部で形成されている。ローカルソース線SSおよびサブビット線SBは、上記Y方向に沿って配置された複数個のメモリセルMCを平面的に挟むようにY方向に沿って互いに平行に平面帯状に延びて形成され、その挟まれた複数個のメモリセルMCの共有の領域となっている。

【0040】

本実施の形態においては、このn型半導体領域2S（ローカルソース線SS）およびn型半導体領域2D（サブビット線SB）は、例えばヒ素が半導体基板1に、例えば $10^{14}/cm^2$ 程度以上導入されることで形成されている。これにより、半導体領域2S, 2Dの浅い接合を実現でき、かつ、短チャネル効果等の発

生を抑制または防止しつつ不純物濃度を増やすことができるので、微細化、信頼性の確保および抵抗（シート抵抗）の低下を実現することができる。なお、ローカルソース線SSは選択MOSN3を介して金属膜等で形成された共通ソース線SL（図2参照）と電気的に接続され、サブビット線SBは選択MOSN1を介して金属膜等で形成されたメインビット線MBと電気的に接続されている。

【0041】

メモリセルMCを構成する絶縁膜3aは、例えば厚さ9～10nm程度の酸化シリコン等からなり、情報の書き込みまたは消去に寄与する電子を半導体基板1から浮遊ゲート電極用の導体膜4に注入したり、その導体膜4に保持された電子を半導体基板1に放出させたりする際の電子の通過領域（トンネル絶縁膜）となっている。

【0042】

浮遊ゲート電極用の導体膜4は、二層の導体膜（下層導体膜4a、上層導体膜4b）が下層から順に積み重ねられて構成されている。下層導体膜4aおよび上層導体膜4bは、例えばいずれも不純物が導入された低抵抗の多結晶シリコンからなり、その厚さは、下層導体膜4aが、例えば70nm程度、上層導体膜4bが、例えば40nm程度である。

【0043】

ただし、導体膜4は、図3の上記X方向に沿った断面（図5（a））に示すように、断面T字状に形成されており、上層導体膜4bの幅が、その下層導体膜4aの幅よりも広くなっている。これにより、メモリセルMCのゲート長を小さくしたまま、制御ゲート電極用の導体膜6に対する浮遊ゲート電極用の導体膜4の対向面積を増大させることができ、それらゲート電極間に形成される容量を増大させることができる。従って、微細なメモリセルMCのまま、メモリセルMCの動作効率を向上させることができる。

【0044】

また、浮遊ゲート電極用の導体膜4の導体膜4bと半導体基板1との間には、例えば酸化シリコン等からなる絶縁膜7が介在されており、一対のn型半導体領域2S、2Dと導体膜4bとの間の絶縁が図られている。

【0045】

浮遊ゲート電極用の上層導体膜4 bの表面は、上記層間膜5によって覆われており、これにより、浮遊ゲート電極用の導体膜4は、制御ゲート電極用の導体膜6と絶縁されている。上記層間膜5は、例えば酸化シリコン膜上に窒化シリコン膜を介して酸化シリコン膜を積み重ねてなり、その厚さは、例えば15 nm程度である。制御ゲート電極用の導体膜6は、情報の読み出し、書き込みおよび消去を行うための電極であり、ワード線Wと一緒に形成され、ワード線Wの一部で構成されている。この制御ゲート電極用の導体膜6（ワード線W）は、例えば二層の導体膜（下層導体膜6 a, 上層導体膜6 b）が下層から順に積み重ねられて形成されている。下層導体膜6 aは、例えば厚さ100 nm程度の低抵抗な多結晶シリコンからなる。その上層導体膜6 bは、例えば厚さ80 nm程度のタンゲステンシリサイド(WSi_x)からなり、下層導体膜6 aに電気的に接続された状態で積み重ねられている。この上層導体膜6 bを設けたことによりワード線Wの電気抵抗を下げることができるので、フラッシュメモリの動作速度を向上させることが可能となっている。ただし、導体膜6の構造は、これに限定されるものではなく種々変更可能であり、例えば低抵抗多結晶シリコン上に窒化タンゲステン等のようなバリア導体膜を介してタンゲステン等のような金属膜を積み重ねてなる構造としてもよい。この場合、ワード線Wの電気抵抗を大幅に下げることができるので、フラッシュメモリの動作速度をさらに向上させることが可能となる。なお、ワード線W上には、例えば酸化シリコンからなるキャップ絶縁膜8が形成されている。

【0046】

低電圧系NMOSQLn、低電圧系PMOSQLp、短絡MOSN2、選択MOSN1, N3（図2等も参照）等のようなMOSの構造が、上記メモリセルMCと同一のプロセスで形成される。これらMOSのゲート電極（低電圧系NMOSQLnのゲート電極10n、低電圧系PMOSQLpのゲート電極10p、短絡MOSN2のゲート電極9および選択MOSN1のゲート電極10）は、浮遊ゲート電極用の導体膜4上に層間膜5を介して制御ゲート電極用の導体膜6を積み重ねる構造を有している。導体膜4と導体膜6とはコンタクトホールSCを通して接続される。

じて電気的に接続されており、導体膜6上にはキャップ絶縁膜8が形成されている。

【0047】

さらに、これらMOSは、それぞれ別々に形成されたソース・ドレインを有しており、例えば低電圧系NMOSQLnにn型半導体領域11n、低電圧系PMOSQLpにp型半導体領域11pおよび選択MOSN1のn型半導体領域11を形成する。また、低電圧系NMOSQLn、低電圧系PMOSQLpおよび短絡MOSN2のゲート絶縁膜は、メモリセルMCのトンネル絶縁膜を構成する絶縁膜3aと同一層で構成され、選択MOSN1のゲート絶縁膜は、例えば厚さ20nm程度の酸化シリコン等からなる絶縁膜3bで構成される。なお、本実施の形態では、メモリセルMCのトンネル絶縁膜と低電圧系MOS等のゲート絶縁膜とを同一層の絶縁膜3aで構成したが、これに限定されるものではなく、異なる層の絶縁膜で構成してもよい。

【0048】

さらに、このような浮遊ゲート電極用の導体膜4、制御ゲート電極用の導体膜6、ゲート電極9、10、10n、10pおよびキャップ絶縁膜8の側面には、例えば酸化シリコンからなる絶縁膜12aが被覆されている。特に、上記ゲート幅方向に互いに隣接するワード線Wの間は、その絶縁膜12aによって埋め込まれた状態となっている。このような絶縁膜12a上および導体膜6上には、例えば酸化シリコンからなる絶縁膜12bが堆積されている。

【0049】

この絶縁膜12b上には、例えばタンクスチタン等からなる第1層配線L1が形成されている。所定の第1層配線L1は、絶縁膜12bに穿孔されたコンタクトホールCON1を通じて、低電圧系NMOSQLnのn型半導体領域11n、低電圧系PMOSQLpのp型半導体領域11pおよび選択MOSN1のn型半導体領域11と電気的に接続されている。さらに、絶縁膜12b上には、例えば酸化シリコンからなる絶縁膜12cが堆積されており、これにより第1層配線L1の表面が被覆されている。その絶縁膜12c上には、第2層配線L2が形成されている。第2層配線L2は、例えば窒化チタン、アルミニウムおよび窒化チタン

を下層から順に積層してなり、絶縁膜12cに穿孔されたスルーホールTH1の内部に埋め込まれたプラグ13を介して第1層配線L1と電気的に接続されている。この第2層配線L2の表面は、例えば酸化シリコンからなる絶縁膜12dによって被覆されている。さらに、その絶縁膜12d上には、図示はしないが、第3層配線が形成されている。第3層配線は、例えば窒化チタン、アルミニウムおよび窒化チタンを下層から順に積層してなり、絶縁膜12dに穿孔されたスルーホールを通じて第2層配線L2と電気的に接続されている。

【0050】

次に、フラッシュメモリの製造方法の一例を工程順に説明する。

【0051】

図7および図8は、本実施の形態のフラッシュメモリの製造工程中の図を示している。図7は、上記図3に相当するメモリアレイ（短絡MOSおよび選択MOSを含む）の要部平面図である。図8は、上記図5に相当するフラッシュメモリのメモリアレイおよび周辺回路領域を含む要部断面図であり、ここでのメモリアレイは図3のA-A線断面に相当する（以下に続く図において同じ）。周辺回路領域には、低電圧系NMOsおよびPMOsを例示する。

【0052】

まず、図7および図8に示すように、シリコン単結晶からなる半導体基板（この段階では半導体ウエハと称する平面略円形状の半導体の薄板）1の主面に、溝型の分離部STIおよびこれに取り囲まれるように配置された活性領域Lm等を形成する。

【0053】

分離部STIは、例えば以下のように形成できる。半導体基板1の所定箇所に分離溝14を形成した後、半導体基板1に熱酸化処理を施して、図示はしないが、5～20nm程度の酸化シリコン膜を形成する。続いて半導体基板1の主面上に、CVD法またはスパッタ法によって、例えば酸化シリコンからなる絶縁膜15を堆積する。さらに絶縁膜15の表面をCMP（Chemical Mechanical Polishing）法等によって研磨することによって、絶縁膜15の表面が半導体基板1の主面とほぼ一致するように、分離溝14内に絶縁膜15を残す。

【0054】

次いで、図9は、続く製造工程における図8と同じ箇所の要部断面図である。まず、周辺回路領域をフォトレジストパターンで覆った後、このフォトレジストパターンをマスクに用いて、メモリアレイの分離溝14の内部に埋め込まれた絶縁膜15を所定量エッチバックする。その後、1000°C程度の熱処理を半導体基板1に施して絶縁膜15の緻密化を行う。これにより、周辺回路領域にリセス量が0～40nm程度の分離部STIを形成し、メモリアレイにリセス量が80nm程度の分離部STIを形成する。

【0055】

続いて、半導体基板1の所定部分に所定の不純物を所定のエネルギーで選択的にイオン注入法等によって導入することにより、埋め込みnウェルNWm、pウェルPWm、pウェルPWPおよびnウェルNWPを形成する。

【0056】

次に、厚さの異なる2種類の絶縁膜3a、3bを形成する。まず、半導体基板1の主面上に、例えば厚さ20nm程度の厚い絶縁膜を熱酸化法等によって形成する。続いて、その厚い絶縁膜上にメモリアレイ（選択MOSを除く）および周辺回路領域が露出され、それ以外が覆われるようなフォトレジストパターンを形成した後、それをエッティングマスクとしてそこから露出する厚い絶縁膜をウェットエッティング法等によってエッティング除去する。その後、そのフォトレジストパターンを除去した後、メモリアレイにトンネル酸化膜を形成すべく半導体基板1に対して再び熱酸化処理等を施す。これにより、メモリアレイ（選択MOS領域を除く）および周辺回路領域に、例えば厚さが9nm程度の相対的に薄いゲート絶縁膜3aを形成し、選択MOS領域には、例えば厚さが25nm程度の相対的に厚い絶縁膜3bを形成する（図6参照）。

【0057】

次いで、図10は、続く製造工程における図7と同じ箇所の要部平面図であり、図11は、続く製造工程における図8と同じ箇所の要部断面図である。

【0058】

まず、半導体基板1の主面上に、例えば厚さ70nm程度の低抵抗な多結晶シ

リコンからなる下層導体膜4aおよび窒化シリコン等からなる絶縁膜16を下層から順にCVD法等によって堆積した後、その絶縁膜16および下層導体膜4aをフォトリソグラフィ技術およびドライエッチング技術によって加工することにより、メモリアレイに浮遊ゲート電極を形成する下層導体膜4aをパターニングする。この際、周辺回路領域および選択MOS領域は、全体的に下層導体膜4aおよび絶縁膜19によって覆われている。続いて、半導体基板1に、メモリセルのソース・ドレイン用の不純物（例えばヒ素）をイオン注入法等によって導入することにより、一対のn型半導体領域2S, 2D（ローカルソース線SSおよびサブビット線SB）を形成する。この際、周辺回路領域および選択MOS領域等は、下層導体膜4aで覆われている。

【0059】

次いで、図12は、続く製造工程における図8と同じ箇所の要部断面図である。

【0060】

ここでは、まず、半導体基板1の主面上に、例えば酸化シリコンからなる絶縁膜7をCVD法等によって堆積した後、その絶縁膜7が半導体基板1の主面上の窪み内に残されるように、その絶縁膜7をCMP法により研磨し、さらに、ドライエッチング法等によってエッチングする。これにより、半導体基板1の主面上を平坦にする。また、この上に堆積する後述の浮遊ゲート電極用の上層導体膜がメモリセルのソース・ドレイン用のn型半導体領域2S, 2Dに接触しないようになる。この際、絶縁膜16も除去されるが、下層を保護するように機能する。

【0061】

次いで、図13は、続く製造工程における図7と同じ箇所の要部平面図であり、図14は、続く製造工程における図8と同じ箇所の要部断面図である。

【0062】

まず、半導体基板1の主面上に、例えば厚さ40nm程度の低抵抗な多結晶シリコンからなる上層導体膜4bを堆積した後、その上に、フォトリソグラフィ技術によってフォトレジストパターンPR1を形成し、そのフォトレジストパターンPR1をエッチングマスクとして、そこから露出する上層導体膜4bをドライ

エッティング法等によって除去することにより、下層導体膜4aおよび上層導体膜4bからなる浮遊ゲート電極を形成する。なお、この際、周辺回路領域、短絡MOS領域および選択MOS領域は全体的に上層導体膜4bによって覆われている。

【0063】

次いで、図15は、続く製造工程における図7と同じ箇所の要部平面図であり、図16は、続く製造工程における図8と同じ箇所の要部断面図である。

【0064】

ここでは、まず、半導体基板1上に、例えば酸化シリコン膜、窒化シリコン膜および酸化シリコン膜を下層から順にCVD法等によって堆積することにより、例えば厚さが15nm程度の層間膜5を形成した後、その上に、コンタクトホールSCを形成するためのフォトレジストパターンPR2をフォトリソグラフィ技術によって形成する。続いて、そのフォトレジストパターンPR2をエッティングマスクとして、そこから露出する層間膜5をドライエッティング法等によって除去することにより、層間膜5にコンタクトホールSCを形成する。なお、図15においては、上の行のコンタクトホールSCは選択MOSのゲート電極形成領域上に配置され、下の行のコンタクトホールSCは、短絡MOSのゲート電極形成領域上に配置されている。また、図16においては、周辺回路領域にコンタクトホールSCが示されていないが、図16の断面に示されない他の位置において、それらのMOSのゲート電極形成領域上に導体膜4bの一部が露出するコンタクトホールSCが形成されている。

【0065】

次いで、図17は、続く製造工程における図7と同じ箇所の要部平面図であり、図18は、続く製造工程における図8と同じ箇所の要部断面図である。

【0066】

ここでは、まず、半導体基板1上に、例えば低抵抗な多結晶シリコンからなる下層導体膜6a、タンゲステンシリサイド等からなる上層導体膜6bおよび酸化シリコン等からなるキャップ絶縁膜8を下層から順にCVD法等によって堆積した後、その上に、フォトリソグラフィ技術によってフォトレジストパターンPR

3を形成し、そのフォトレジストパターンPR3をエッチングマスクとして、そこから露出するキャップ絶縁膜8、上層導体膜6bおよび下層導体膜6aをドライエッティング法等によって除去することにより、メモリアレイにおいては制御ゲート電極（ワード線W）を形成し、それ以外の領域、周辺回路領域、短絡MOS領域および選択MOS領域等においては各MOSのゲート電極の一部を形成する。このエッティング処理に際しては、層間膜5をエッティングストップとして機能させている。

【0067】

次いで、図19は、続く製造工程における図8と同じ箇所の要部断面図である。

【0068】

ここでは、まず、キャップ絶縁膜8、導体膜6をエッティングマスクとして、その下層の層間膜5、上層導体膜4bおよび下層導体膜4aをドライエッティング法等によってエッティング除去する。これにより、導体膜4は導体膜6と自己整合的にパターニングされ、ワード線方向で同一形状をもつことになる。

【0069】

これにより、メモリアレイにおいては、メモリセルMCの制御ゲート電極および浮遊ゲート電極を完成させる。すなわち、浮遊ゲート電極用の導体膜4上に層間膜5を介して制御ゲート電極用の導体膜6を積み重ねる2層ゲート電極構造を完成させる。メモリセルMCの浮遊ゲート電極と制御ゲート電極とは完全に絶縁されている。

【0070】

また、周辺回路領域においては、低電圧系NMOsのゲート電極10nおよび低電圧系PMOsのゲート電極10pを完成させる。各MOSのゲート電極においては、導体膜4と導体膜6とがコンタクトホールSCを通じて電気的に接続されている。なお、図示はしないが、短絡MOS領域および選択MOS領域においても、短絡MOSのゲート電極および選択MOSのゲート電極がそれぞれ形成される。

【0071】

次いで、図20は、続く製造工程における図8と同じ箇所の要部断面図である。

【0072】

ここでは、周辺回路領域において、それぞれのMOSの相対的に不純物濃度の低い半導体領域をそれぞれ別々に形成する。例えば低電圧系NMO Sにn型半導体領域11naおよび低電圧系PMOSにp型半導体領域11paを形成する。n型半導体領域11naには、例えばヒ素が導入され、p型半導体領域11paには、例えばホウ素が導入されている。なお、図示はしないが、短絡MOS領域および選択MOS領域においても、短絡MOSの半導体領域および選択MOSの半導体領域がそれぞれ形成される。

【0073】

続いて、半導体基板1の主面上に、例えば酸化シリコンからなる絶縁膜をCVD法等によって堆積した後、これを異方性のドライエッチング法等によってエッチバックすることにより、低電圧系NMO Sのゲート電極10nおよび低電圧系PMOSのゲート電極10pの側面に絶縁膜12aを形成する。なお、図示はしないが、短絡MOSのゲート電極および選択MOSのゲート電極の側面にも絶縁膜12aがそれぞれ形成され、互いに隣接するワード線W間は、この絶縁膜12aによって埋め込まれる。

【0074】

次いで、図21は、続く製造工程における図8と同じ箇所の要部断面図である。

【0075】

ここでは、周辺回路領域、短絡MOS領域および選択MOS領域において、それぞれのMOSの相対的に不純物濃度の高い半導体領域をそれぞれ別々に形成する。例えば低電圧系NMO Sにn型半導体領域11nbおよび低電圧系PMOSにp型半導体領域11pbを形成する。n型半導体領域11nbには、例えばヒ素が導入され、p型半導体領域11pbには、例えばホウ素が導入されている。これにより、低電圧系NMO Sのソース・ドレイン用の一対のn型半導体領域11nと、低電圧系PMOSのソース・ドレイン用の一対のp型半導体領域11p

を形成し、周辺回路領域においては、低電圧系NMO S Q L n およびPMO S Q L p を完成させる。なお、図示はしないが、選択MOSのソース・ドレイン用の一対のn型半導体領域が形成される。

【0076】

次いで、図22は、続く製造工程における図10と同じ箇所の要部平面図であり、図23は、続く製造工程における図11と同じ箇所の要部断面図である。

【0077】

ここでは、半導体基板1上に、例えば酸化シリコンからなる絶縁膜12bをCVD法等によって堆積した後、その絶縁膜12bに、半導体基板1の一部（各MOSのソース・ドレイン領域）、ワード線Wの一部および所定のMOSのゲート電極の一部が露出するようなコンタクトホールCON1をフォトリソグラフィ技術およびドライエッチング技術によって穿孔する。続いて、その半導体基板1上に、例えばタンクスチン等のような金属膜をスパッタリング法等によって堆積した後、これをフォトリソグラフィ技術およびドライエッチング技術によってパターニングすることにより、第1層配線L1（共通ソース線を含む）を形成する。第1層配線L1は、コンタクトホールCON1を通じて各MOSのソース・ドレイン用の一対の半導体領域、ゲート電極およびワード線Wと適宜電気的に接続されている。

【0078】

次いで、図24は、続く製造工程における図10と同じ箇所の要部平面図であり、図25は、続く製造工程における図11と同じ箇所の要部断面図である。

【0079】

ここでは、半導体基板1上に、例えば酸化シリコンからなる絶縁膜12cをCVD法等によって堆積した後、その絶縁膜12cに第1層配線L1の一部が露出するようなスルーホールTH1をフォトリソグラフィ技術およびドライエッチング技術によって穿孔する。続いて、その半導体基板1上に、例えばタンクスチン等のような金属膜をスパッタリング法やCVD法等によって堆積した後、これをスルーホールTH1内のみに残るようにCMP法等によって研磨することにより、スルーホールTH1内にプラグ13を形成する。その後、半導体基板1上に、

例えば窒化チタン、アルミニウムおよび窒化チタンを下層から順にスパッタリング法等によって堆積した後、これをフォトリソグラフィ技術およびドライエッチング技術によってパターニングすることにより、第2層配線L2（メインビット線を含む）を形成する。第2層配線L2はプラグ13を通じて第1層配線L1と電気的に接続されている。

【0080】

次いで、図26は、続く製造工程における図11と同じ箇所の要部断面図である。

【0081】

ここでは、半導体基板1上に、例えば酸化シリコンからなる絶縁膜12dをCVD法等によって堆積した後、その絶縁膜12dに第2層配線L2の一部が露出するようなスルーホールTH2を上記スルーホールTH1と同様に穿孔する。続いて、上記プラグ13と同様にして、そのスルーホールTH2内にタンゲステン等からなるプラグ17を形成した後、半導体基板1上に、第2層配線L2と同様に、例えば窒化チタン、アルミニウムおよび窒化チタンの積層膜からなる第3層配線L3を形成する。第3層配線L3はプラグ17を通じて第2層配線L2と電気的に接続されている。その後、半導体基板1上に、表面保護膜を形成した後、その一部に第3層配線L3の一部が露出するような開口部を形成してボンディングパッドを形成することにより、フラッシュメモリを製造する。

【0082】

このように、本実施の形態によれば、活性領域Lmの幅が相対的に狭く、パターン密度が相対的に高いメモリアレイの分離部STIを相対的に大きいリセス量を有するリセス構造とすることにより、分離部STIが半導体基板1に生ずる応力を低減することができるので、半導体基板1の結晶欠陥を抑制して、メモリセルのジャンクションリークのマージンを向上することができる。

【0083】

さらに、メモリセルのジャンクションリークのマージンを向上できることから、メモリセルのサイズの縮小が可能となり、ゲート長の縮小による書き込み特性の高速化やチップサイズの縮小を図ることができる。

【0084】

以上、本発明者によってなされた発明を発明の実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

【0085】

例えば、前記実施の形態では、AND型フラッシュメモリに適用した場合について説明したが、NOR型フラッシュメモリ、DRAM (Dynamic Random Access Memory) を含め、短形で繰り返し性のあるメモリ素子で、微細化、低消費電力化の要求が高い全ての製品に展開可能である。また、SRAM (Static Random Access Memory) またはLogic品でも同様の効果が得られる。

【0086】**【発明の効果】**

本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。

【0087】

活性領域の幅が相対的に狭いメモリセルの素子分離部のリセス量を相対的に大きくすることにより、素子分離部が基板に生ずる応力を低減することができるので、基板に発生する結晶欠陥が抑制されて、メモリセルのジャンクションリークのマージンを向上することができる。

【図面の簡単な説明】**【図1】**

本発明の一実施の形態であるフラッシュメモリのブロック構成の説明図である。

【図2】

図1のフラッシュメモリに含まれるメモリアレイの一例の部分的な回路図である。

【図3】

図1のメモリアレイの要部平面図である。

【図4】

図3と同じ平面領域であって、図3よりも上層のレイアウト層の要部平面図である。

【図5】

(a)は、図3のA-A線のメモリアレイの要部断面図、(b)は、周辺回路領域の要部断面図である。

【図6】

図3のB-B線のメモリアレイの要部断面図である。

【図7】

図1のフラッシュメモリの製造工程中の要部平面図である。

【図8】

図7と同じ工程時のフラッシュメモリの要部断面図である。

【図9】

図7、図8に続くフラッシュメモリの製造工程中の図8と同じ箇所の要部断面図である。

【図10】

図9に続くフラッシュメモリの製造工程中の図7と同じ箇所の要部平面図である。

【図11】

図10と同じ工程時のフラッシュメモリの図8と同じ箇所の要部断面図である。

。

【図12】

図10、図11に続くフラッシュメモリの製造工程中の図8と同じ箇所の要部断面図である。

【図13】

図12に続くフラッシュメモリの製造工程中の図7と同じ箇所の要部平面図である。

。

【図14】

図13と同じ工程時のフラッシュメモリの図8と同じ箇所の要部断面図である。

。

【図15】

図13、図14に続くフラッシュメモリの製造工程中の図7と同じ箇所の要部平面図である。

【図16】

図15と同じ工程時のフラッシュメモリの図8と同じ箇所の要部断面図である。

【図17】

図15、図16に続くフラッシュメモリの製造工程中の図7と同じ箇所の要部平面図である。

【図18】

図17と同じ工程時のフラッシュメモリの図8と同じ箇所の要部断面図である。

【図19】

図17、図18に続くフラッシュメモリの製造工程中の図8と同じ箇所の要部断面図である。

【図20】

図19に続くフラッシュメモリの製造工程中の図8と同じ箇所の要部断面図である。

【図21】

図20に続くフラッシュメモリの製造工程中の図8と同じ箇所の要部断面図である。

【図22】

図21に続くフラッシュメモリの製造工程中の図7と同じ箇所の要部平面図である。

【図23】

図22と同じ工程時のフラッシュメモリの図8と同じ箇所の要部断面図である。

【図24】

図22、図23に続くフラッシュメモリの製造工程中の図7と同じ箇所の要部

平面図である。

【図25】

図24と同じ工程時のフラッシュメモリの図8と同じ箇所の要部断面図である。

【図26】

図24、図25に続くフラッシュメモリの製造工程中の図8と同じ箇所の要部断面図である。

【符号の説明】

- 1 半導体基板
- 2 S n型半導体領域
- 2 D n型半導体領域
- 3 a 絶縁膜
- 3 b 絶縁膜
- 4 導体膜
- 4 a 下層導体膜
- 4 b 上層導体膜
- 5 層間膜
- 6 導体膜
- 6 a 下層導体膜
- 6 b 上層導体膜
- 7 絶縁膜
- 8 キャップ絶縁膜
- 9 ゲート電極
- 10 ゲート電極
- 10 n ゲート電極
- 10 p ゲート電極
- 11 n型半導体領域
- 11 n n型半導体領域
- 11 n a n型半導体領域

1 1 n b n型半導体領域

1 1 p p型半導体領域

1 1 p a p型半導体領域

1 1 p b p型半導体領域

1 2 a 絶縁膜

1 2 b 絶縁膜

1 2 c 絶縁膜

1 2 d 絶縁膜

1 3 プラグ

1 4 分離溝

1 5 絶縁膜

1 6 絶縁膜

1 7 プラグ

M A R Y メモリアレイ

X D 行デコーダ

Y D 列デコーダ

S A D L センスアンプデータラッチ

I O B 入出力バッファ

X B 行アドレスバッファ

Y B 列アドレスバッファ

C C 制御回路

V C C 電源制御回路

M C メモリセル

M C B 0 メモリセルブロック

M C B 1 メモリセルブロック

M C B 2 メモリセルブロック

M C B 0 ~ M C B p メモリセルブロック

W ワード線

W 0 0 ~ W 0 m ワード線

W p 0 ~ W p m ワード線

C U 0 0 ~ C U 0 n セルユニット

C U p 0 ~ C U p n セルユニット

MB メインビット線

MB 0 ~ MB n メインビット線

S B サブビット線

S B 0 0 ~ S B 0 n サブビット線

S B p 0 ~ S B p n サブビット線

S L 共通ソース線

S S ローカルソース線

S S 0 0 ~ S S 0 n ローカルソース線

S S p 0 ~ S S p n ローカルソース線

N 1 選択MOS

N 2 短絡MOS

N 3 選択MOS

MD 0 ~ MD p ブロック選択信号線

MS 0 ~ MS p ブロック選択信号線

SC 0 ~ SC p ブロック選択信号線

P Wm p ウエル

P Wp p ウエル

N Wm n ウエル

N Wp n ウエル

L m 活性領域

S T I 分離部

C O N 1 コンタクトホール

S C コンタクトホール

T H 1 スルーホール

T H 2 スルーホール

L 1 第1層配線

L 2 第2層配線

L 3 第3層配線

P R 1 フォトレジストパターン

P R 2 フォトレジストパターン

P R 3 フォトレジストパターン

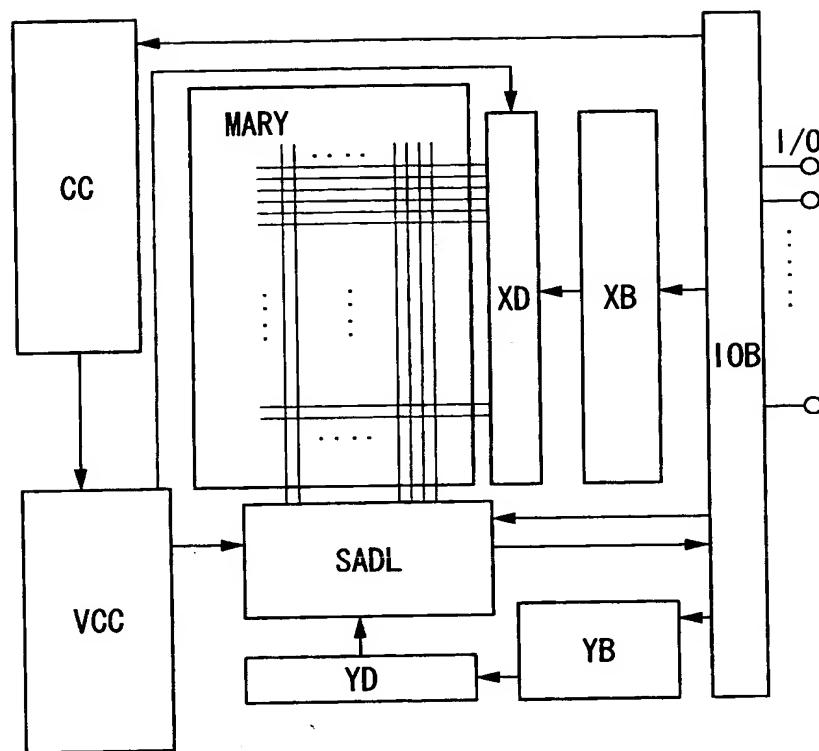
Q L n NMOS

Q L p PMOS

【書類名】 図面

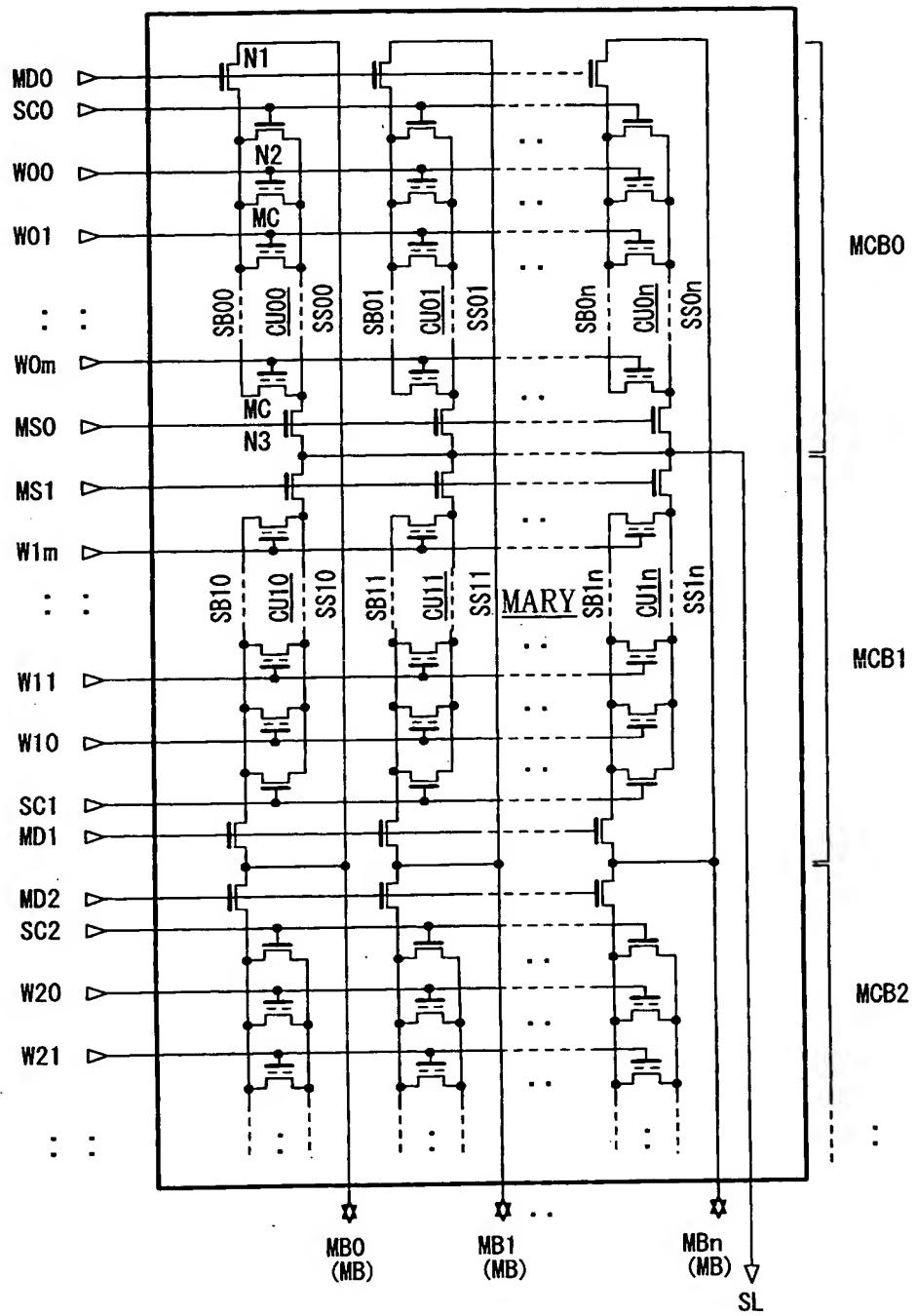
【図1】

図 1



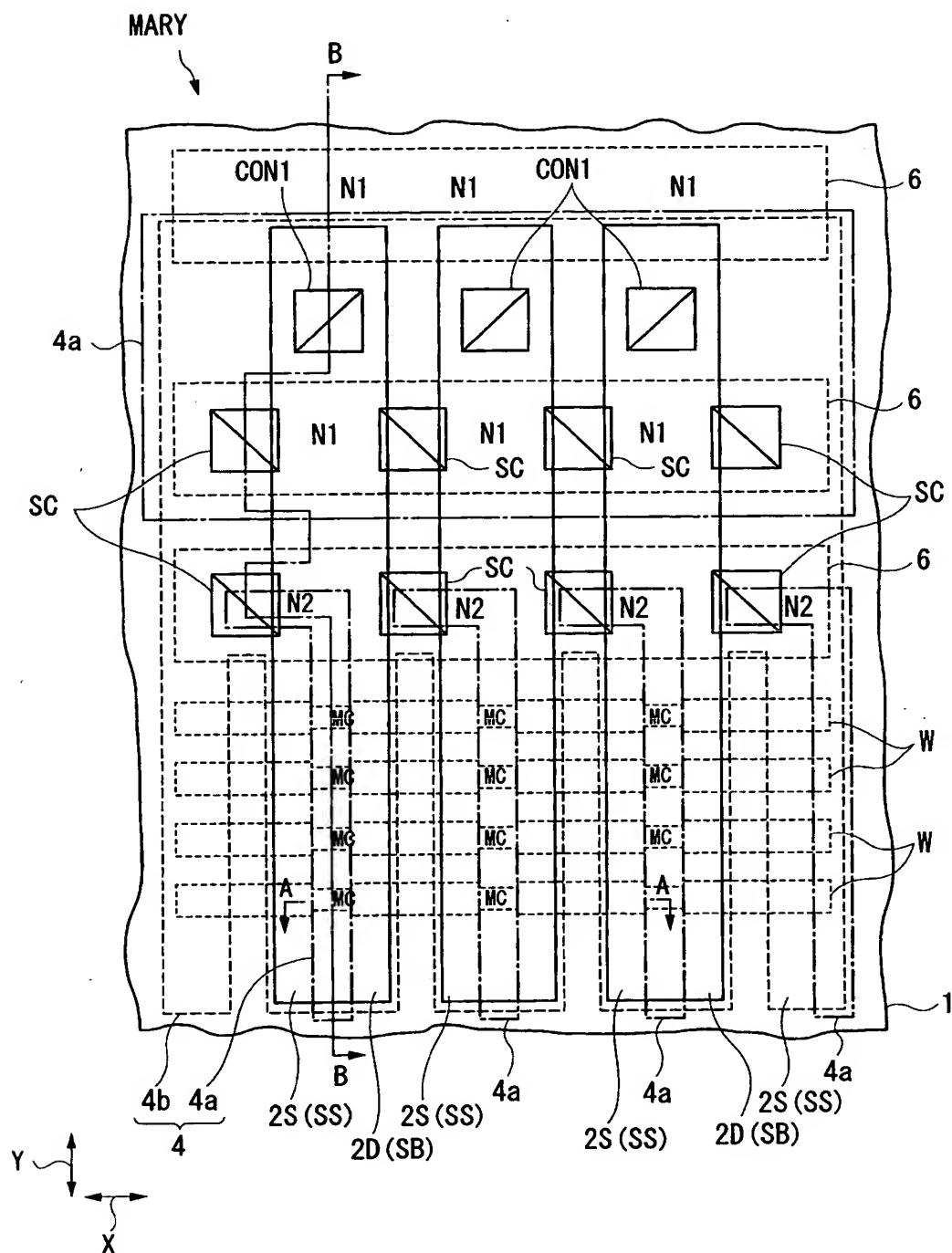
【図2】

図 2



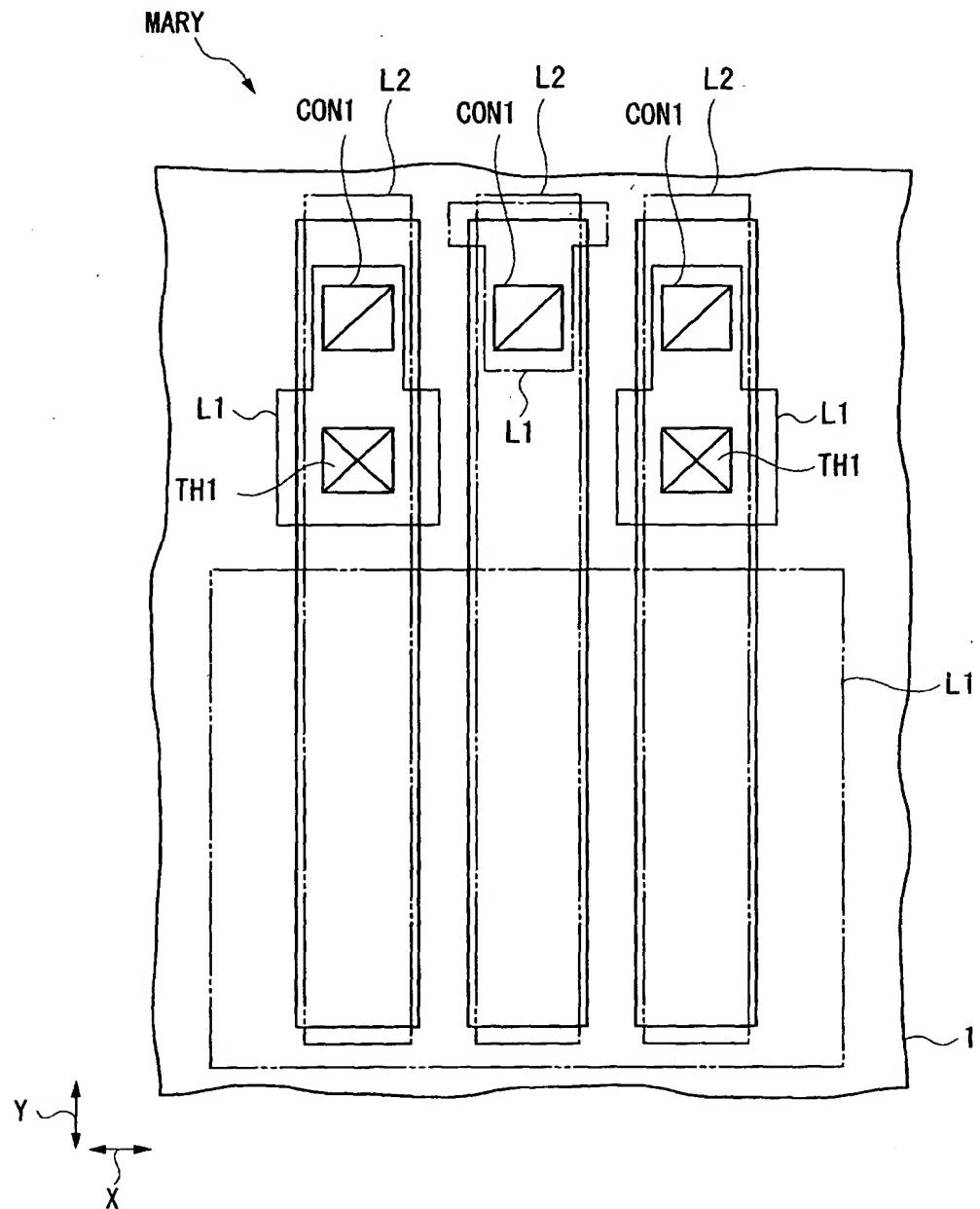
【図3】

図 3

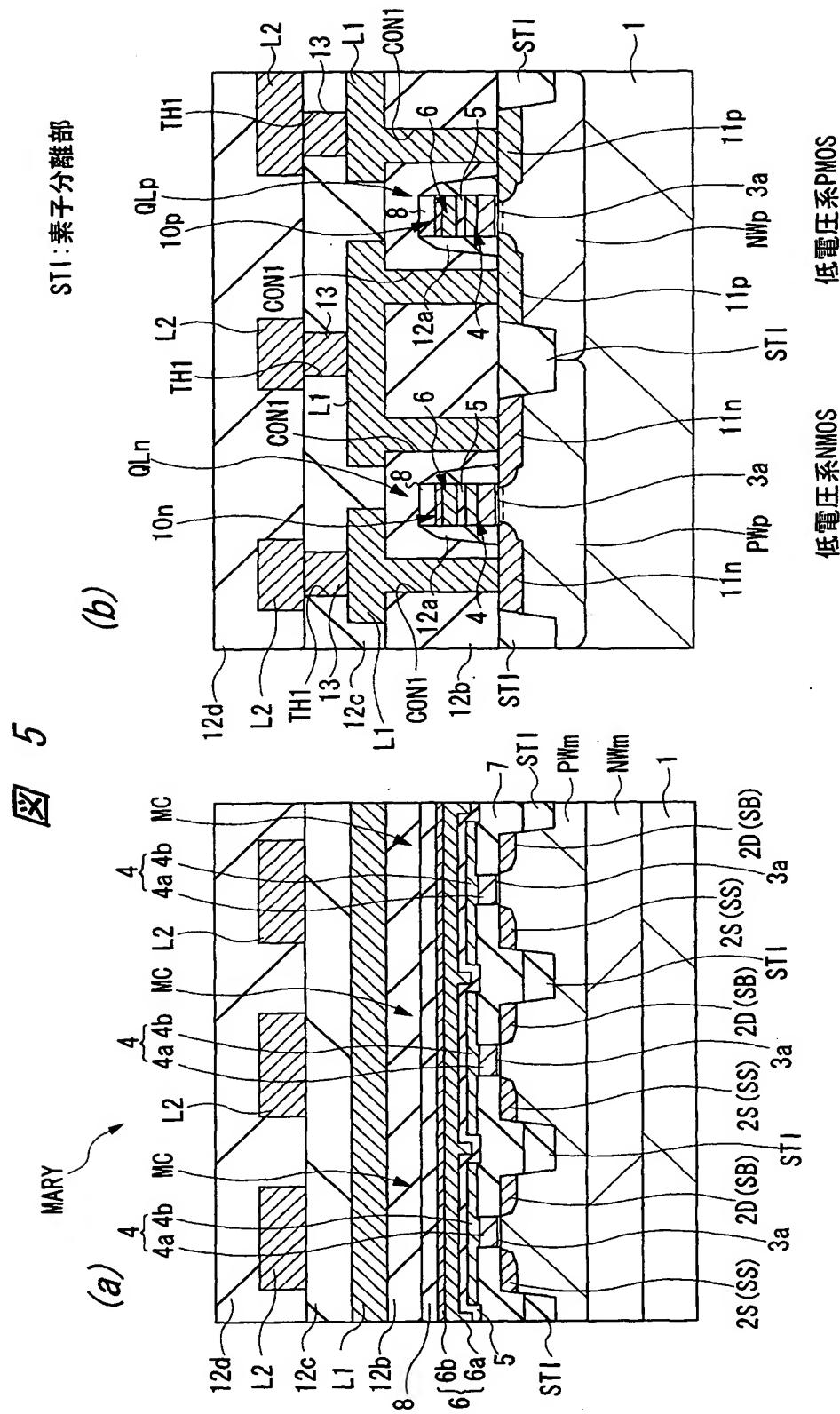


【図4】

図 4

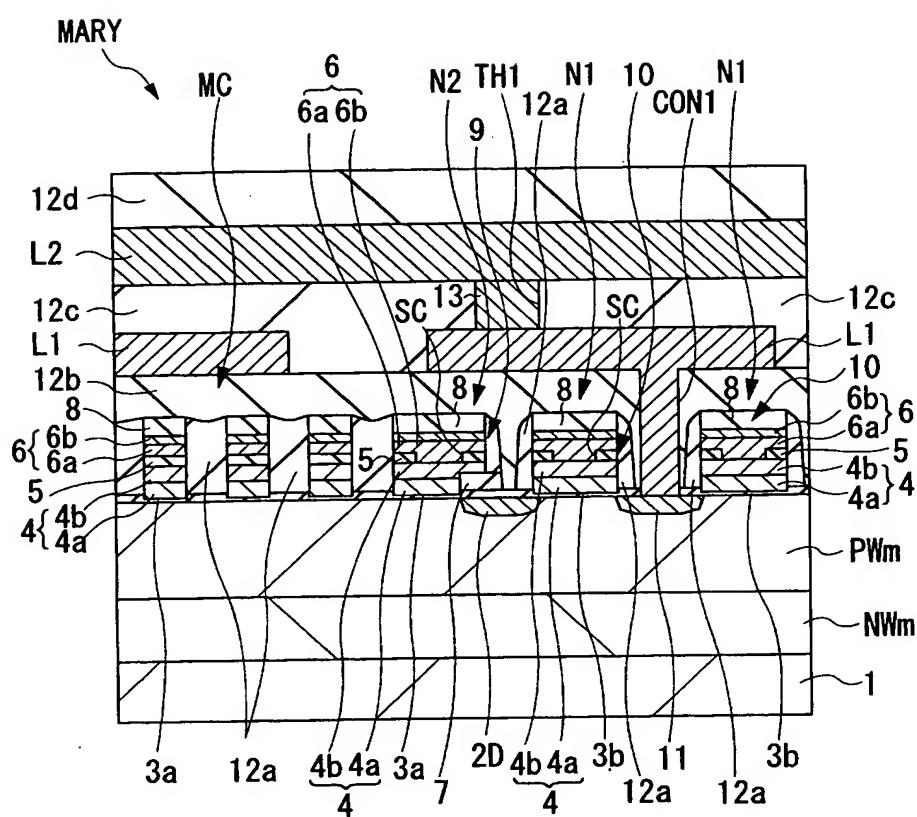


【図 5】



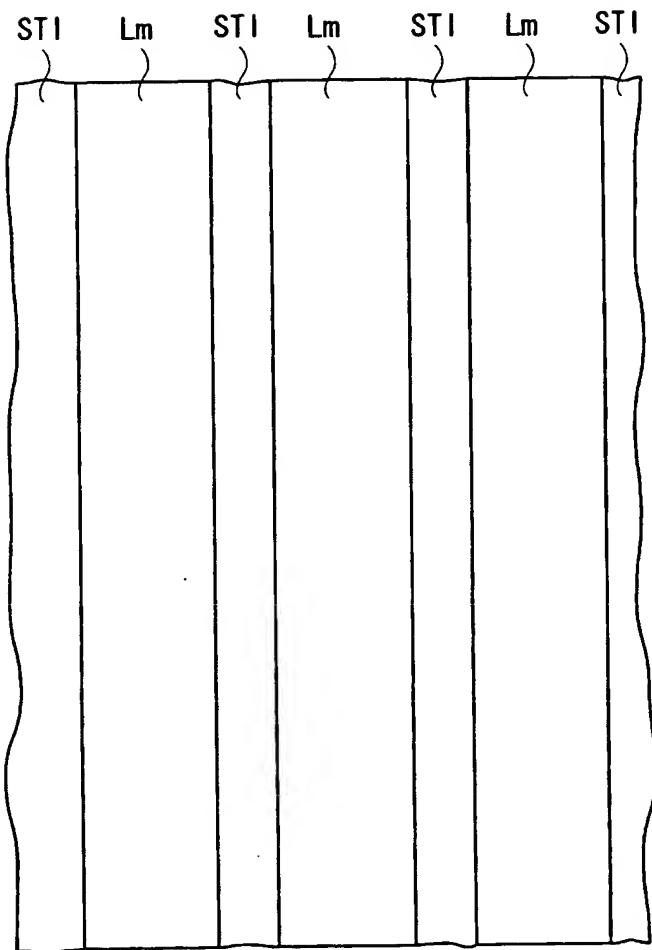
【図6】

図 6



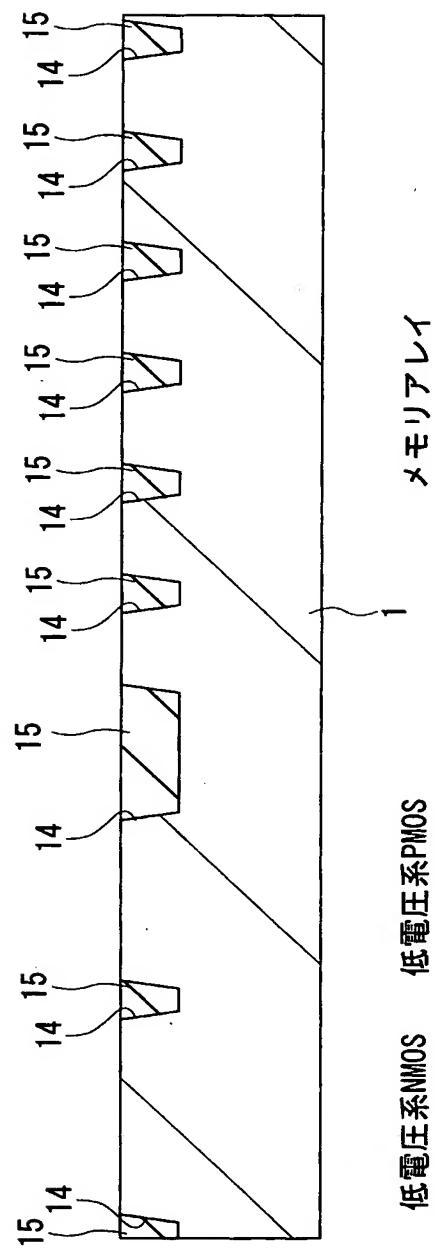
【図7】

図 7



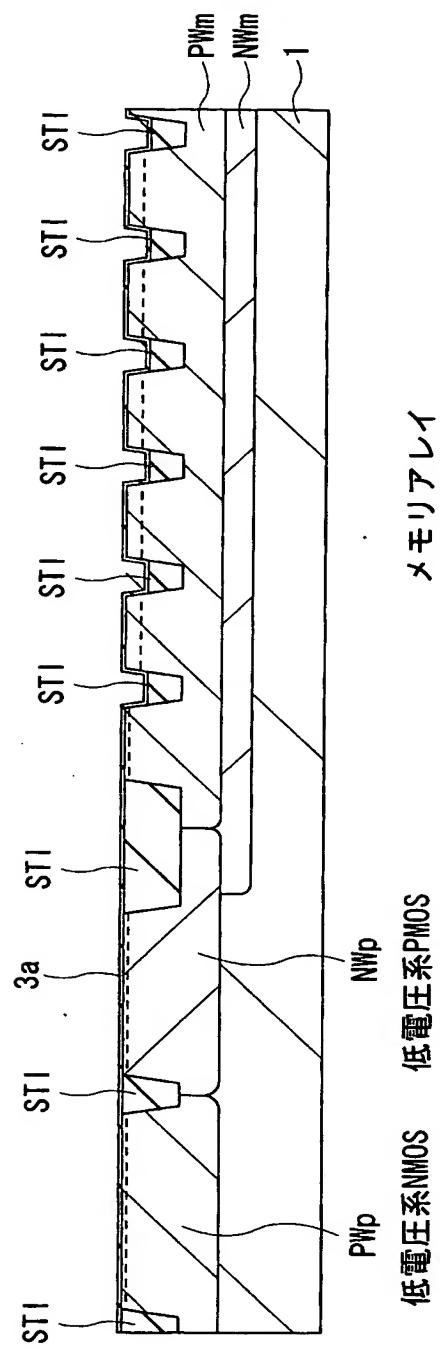
【図8】

図 8



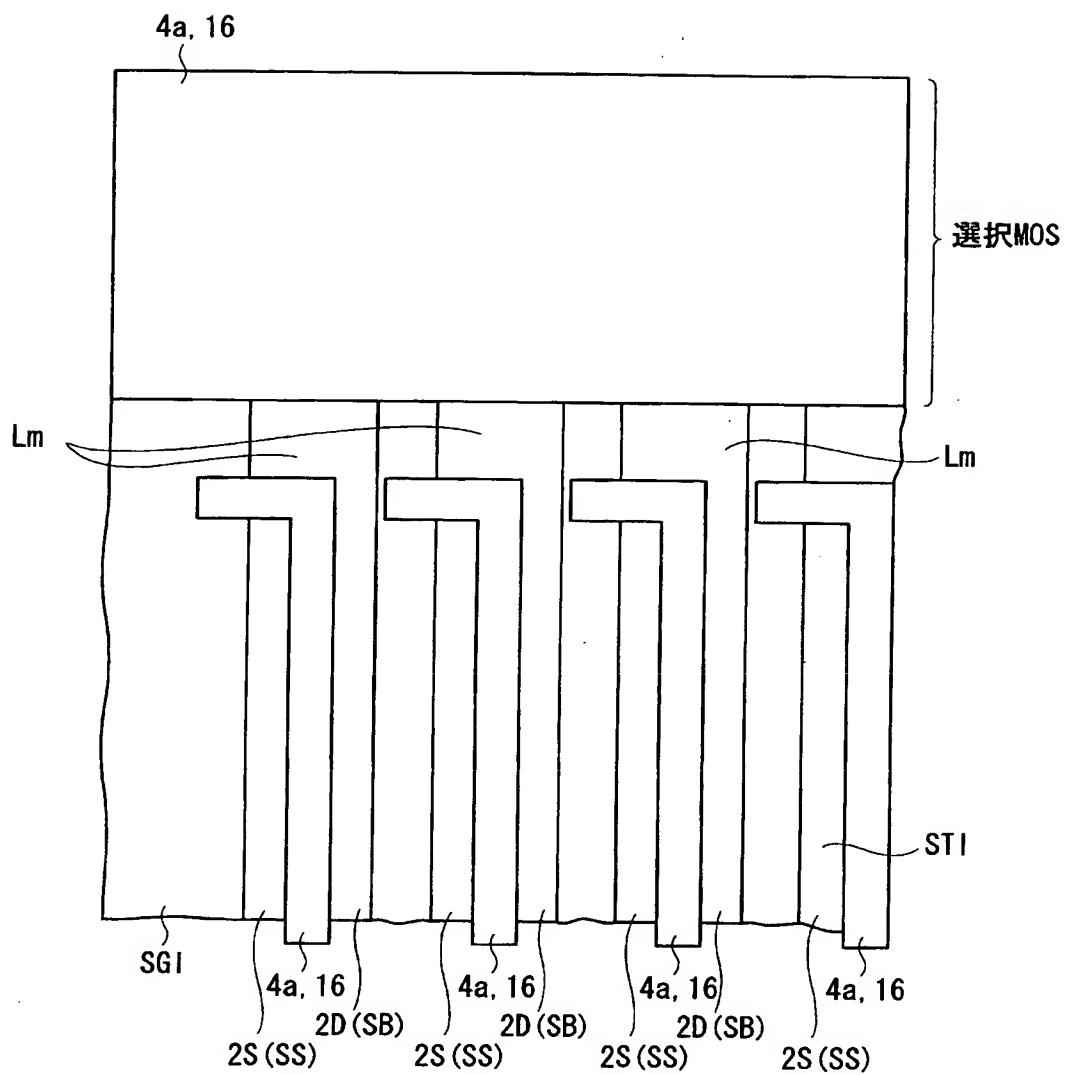
【図9】

図 9

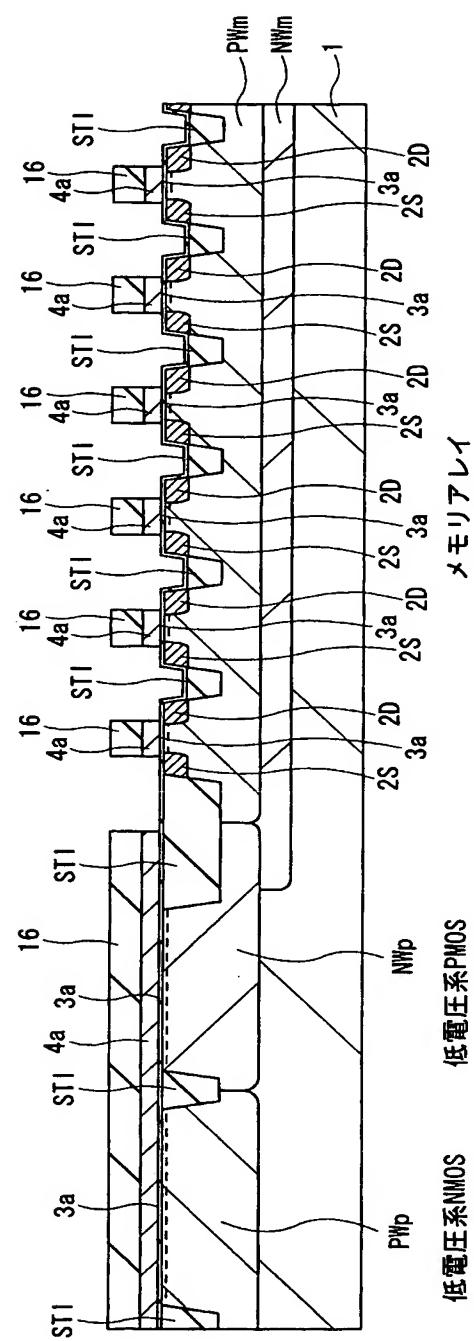


【図10】

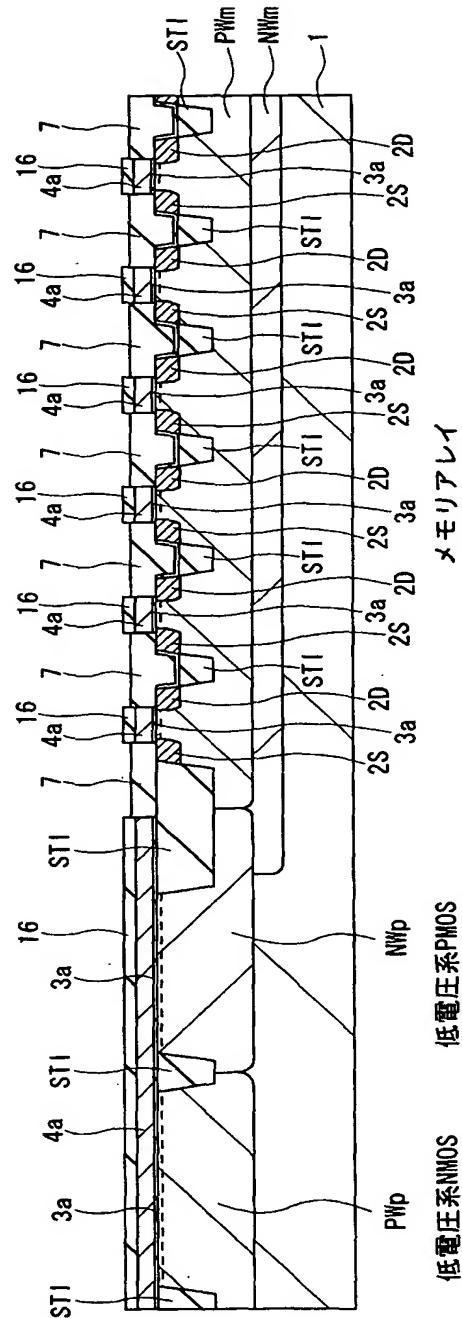
図 10



【図11】

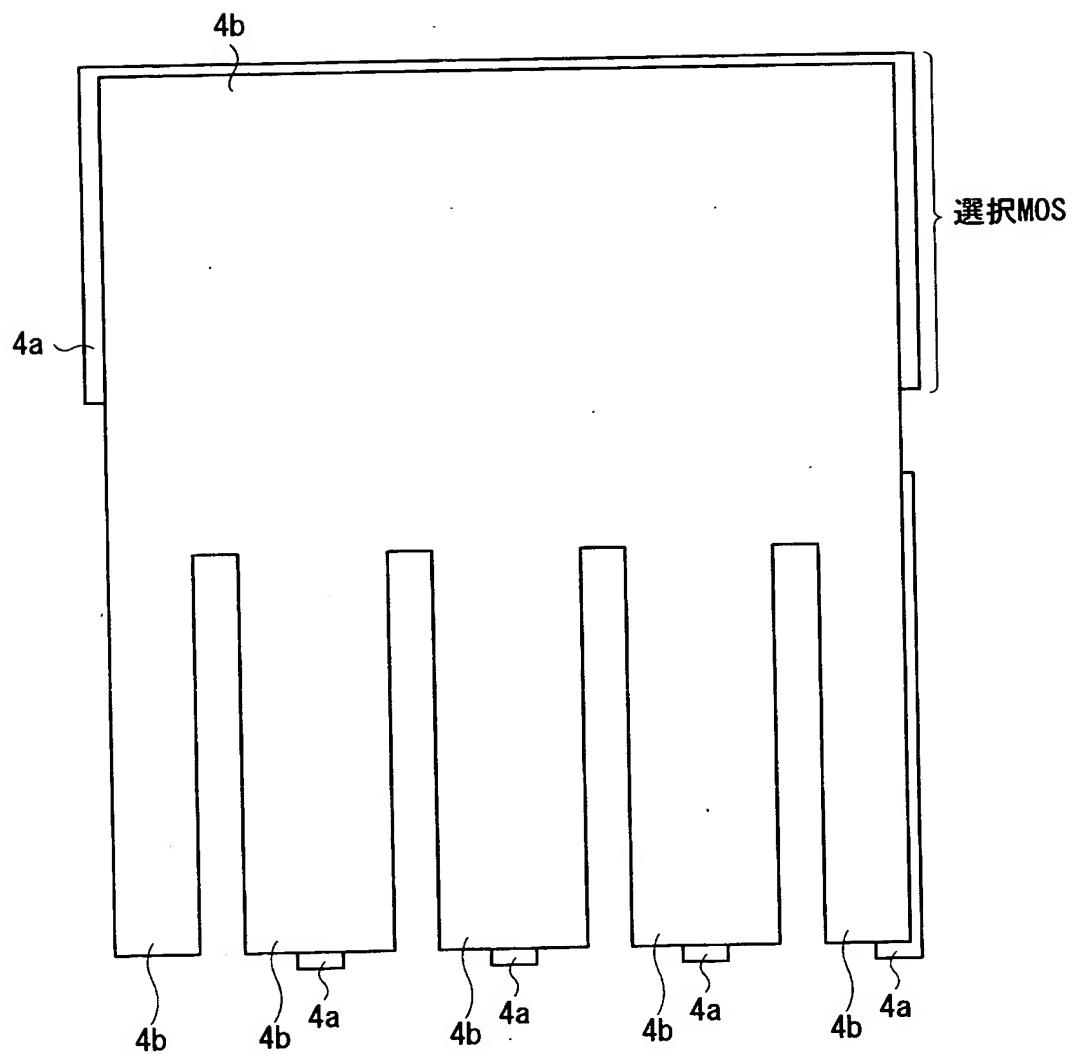


【図12】

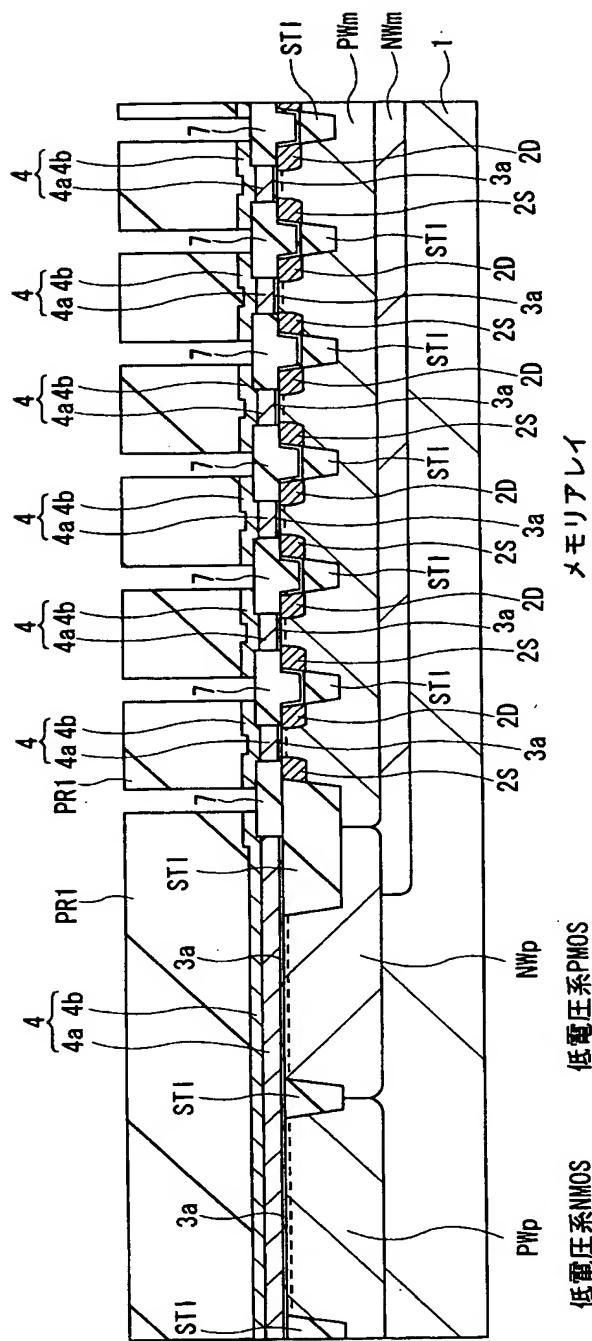


【図13】

図 13

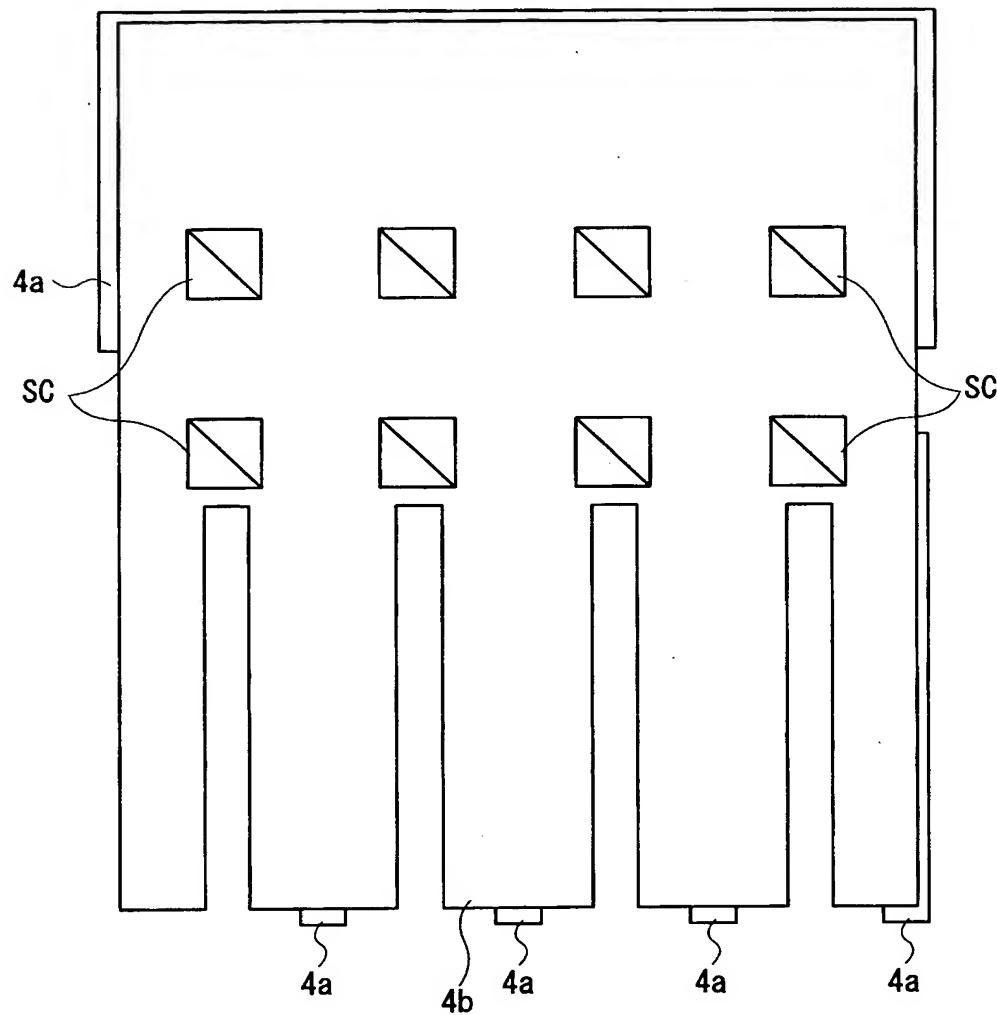


[図 1 4]

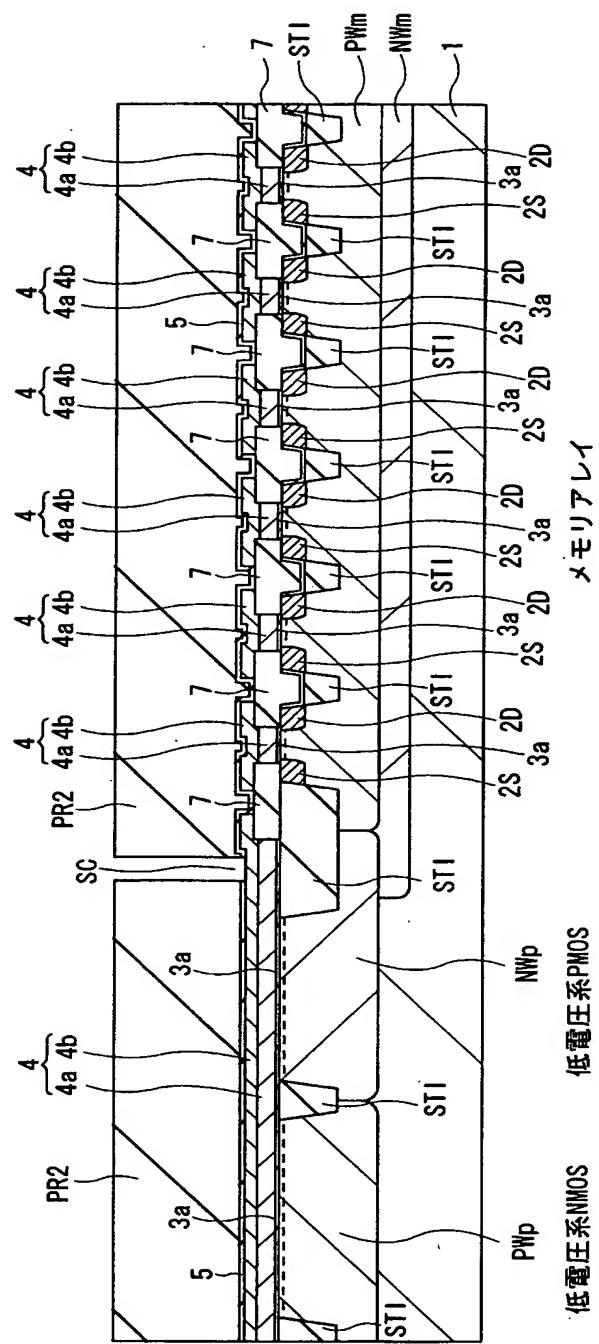


【図15】

図 15

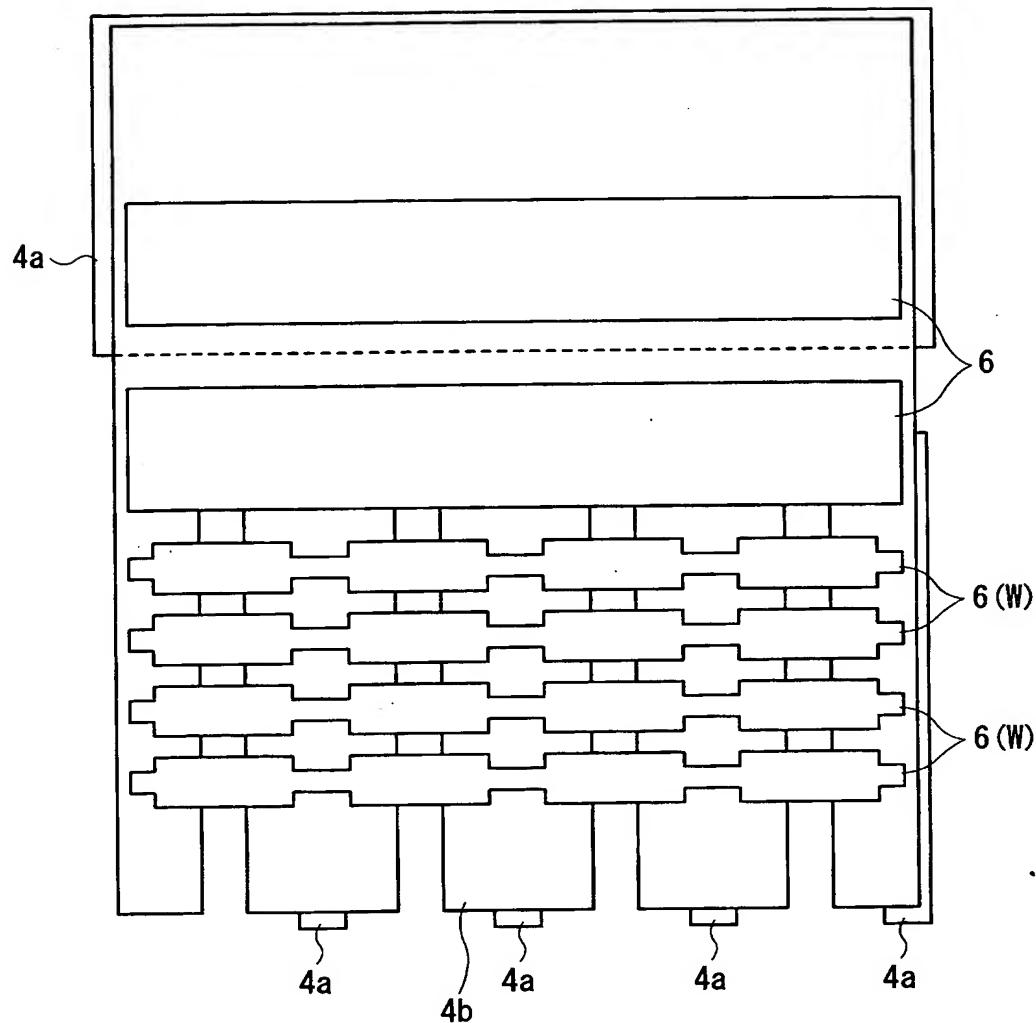


【図16】

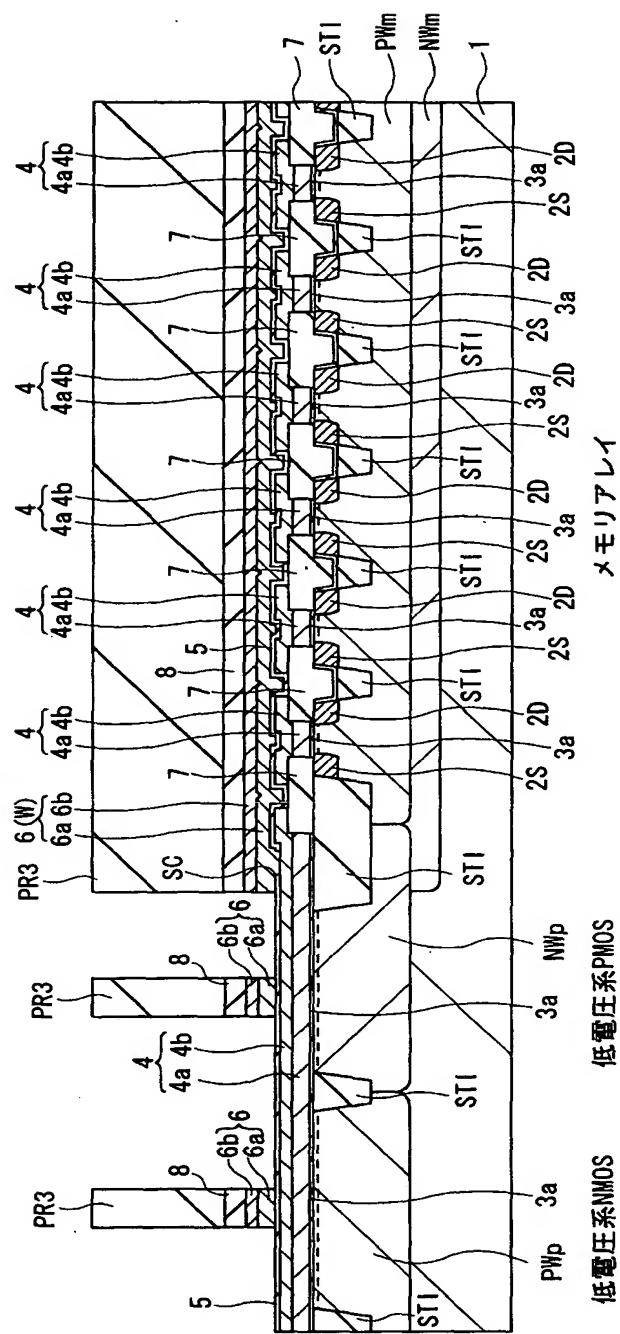


【図17】

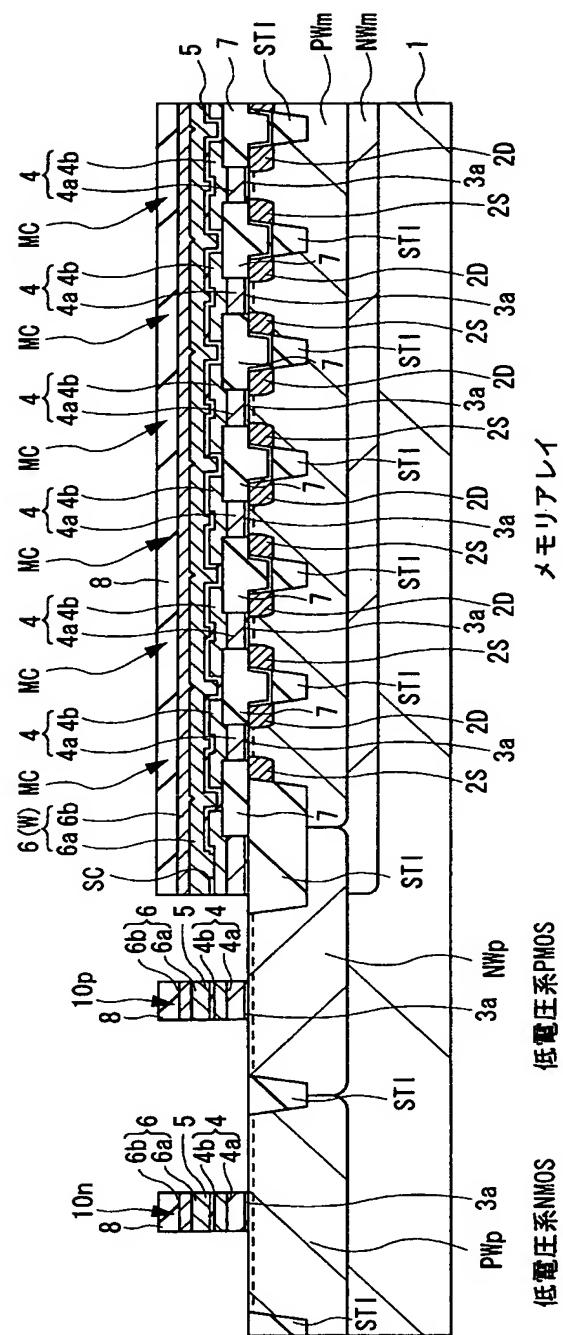
☒ 17



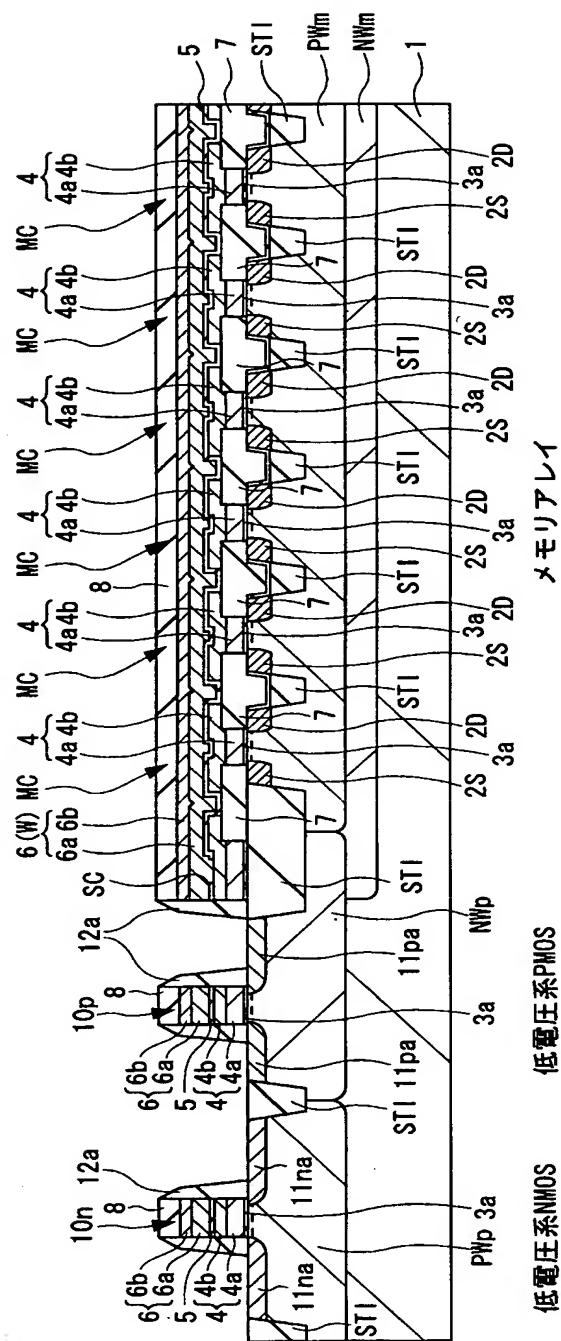
【図18】



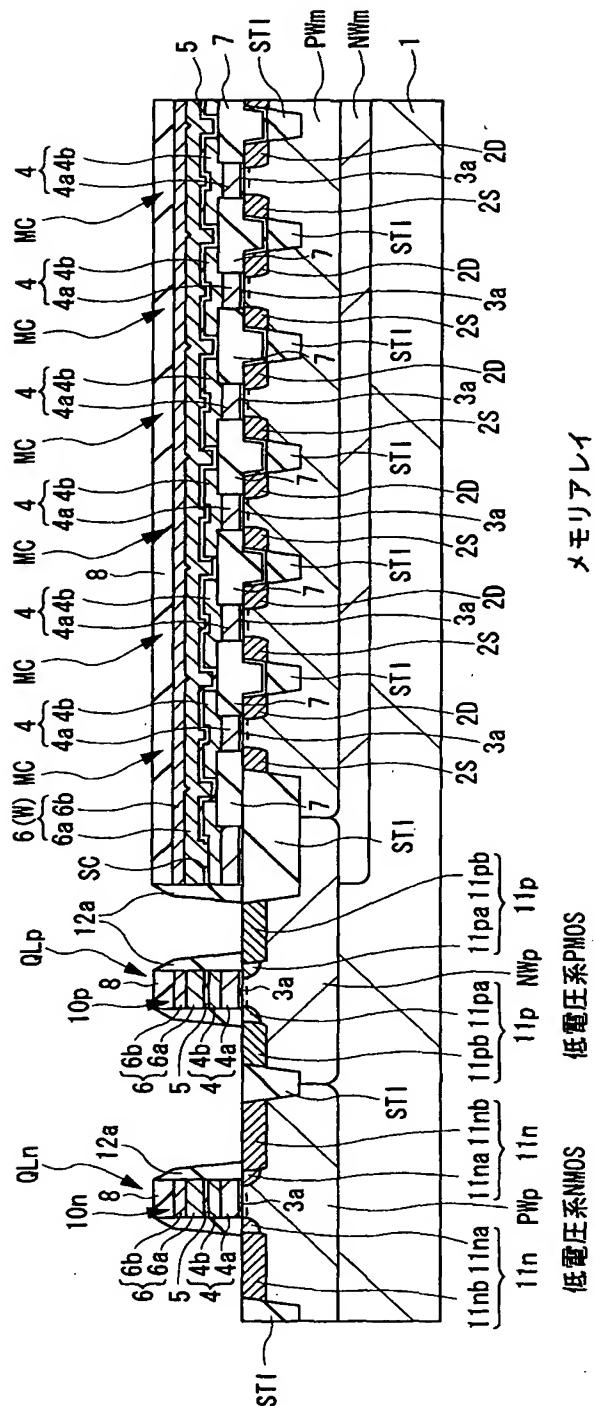
[図19]



【図20】

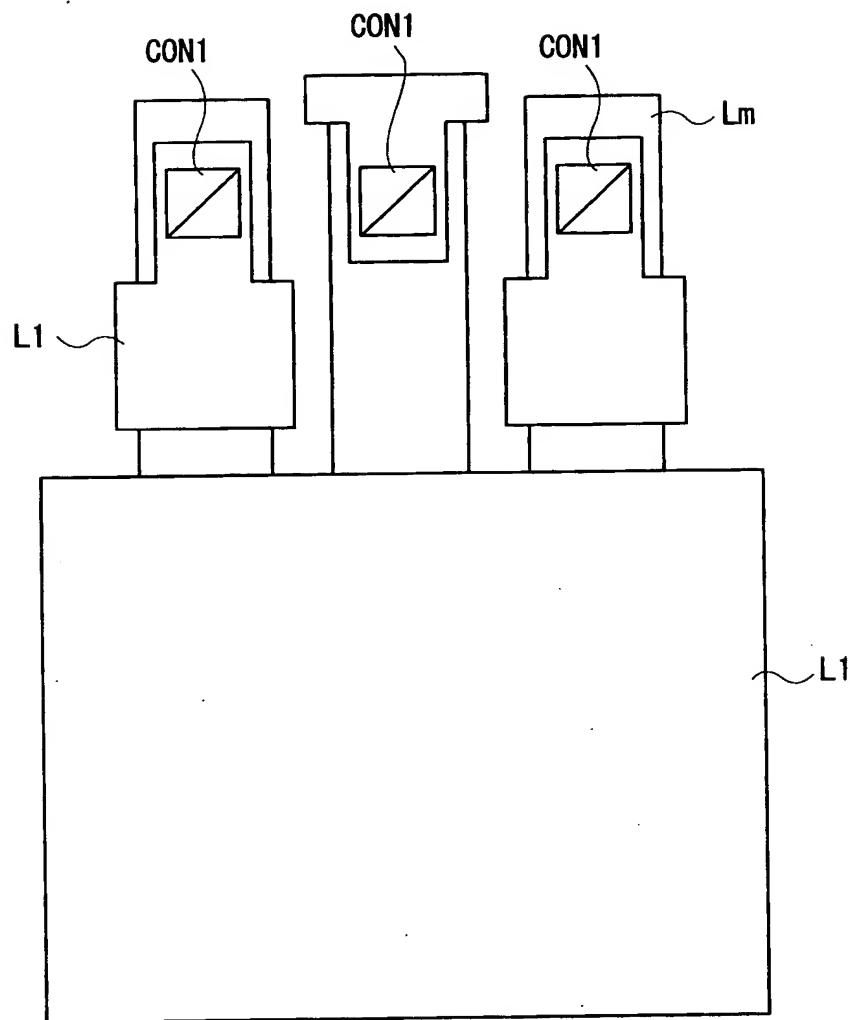


【図21】

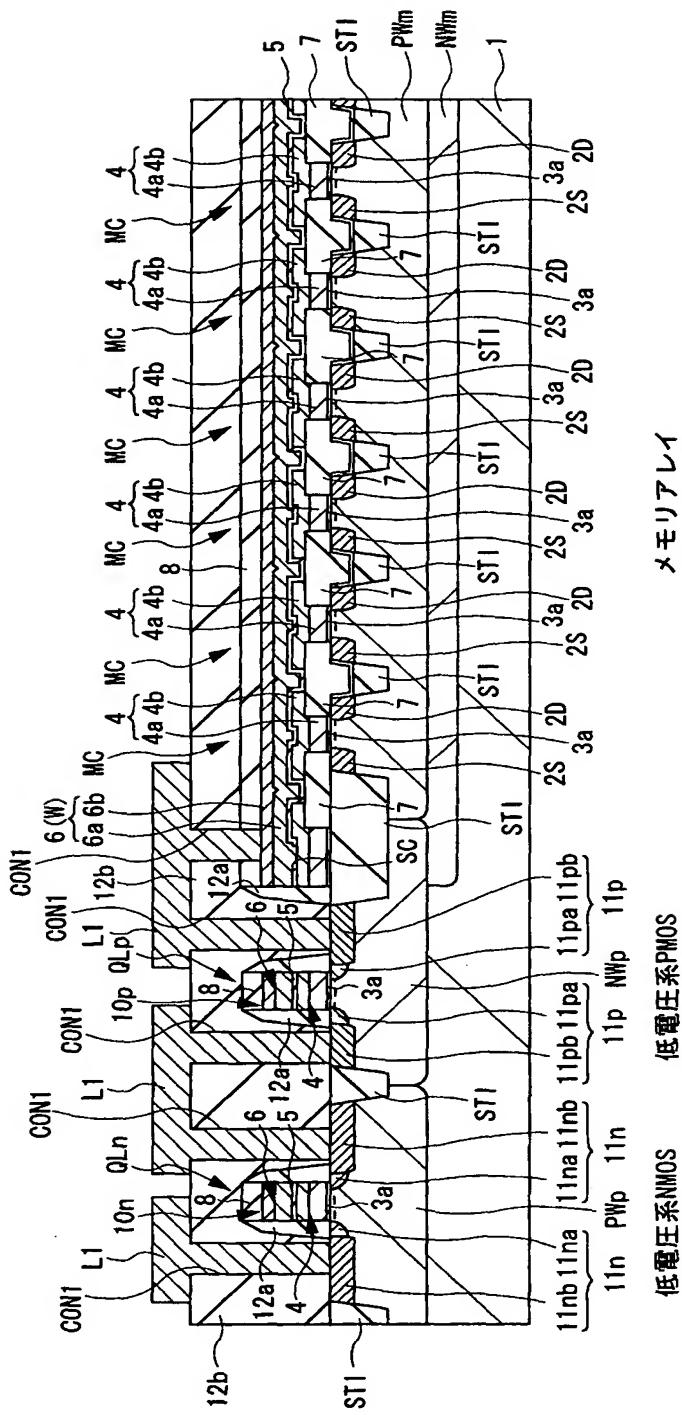


【図22】

図 22

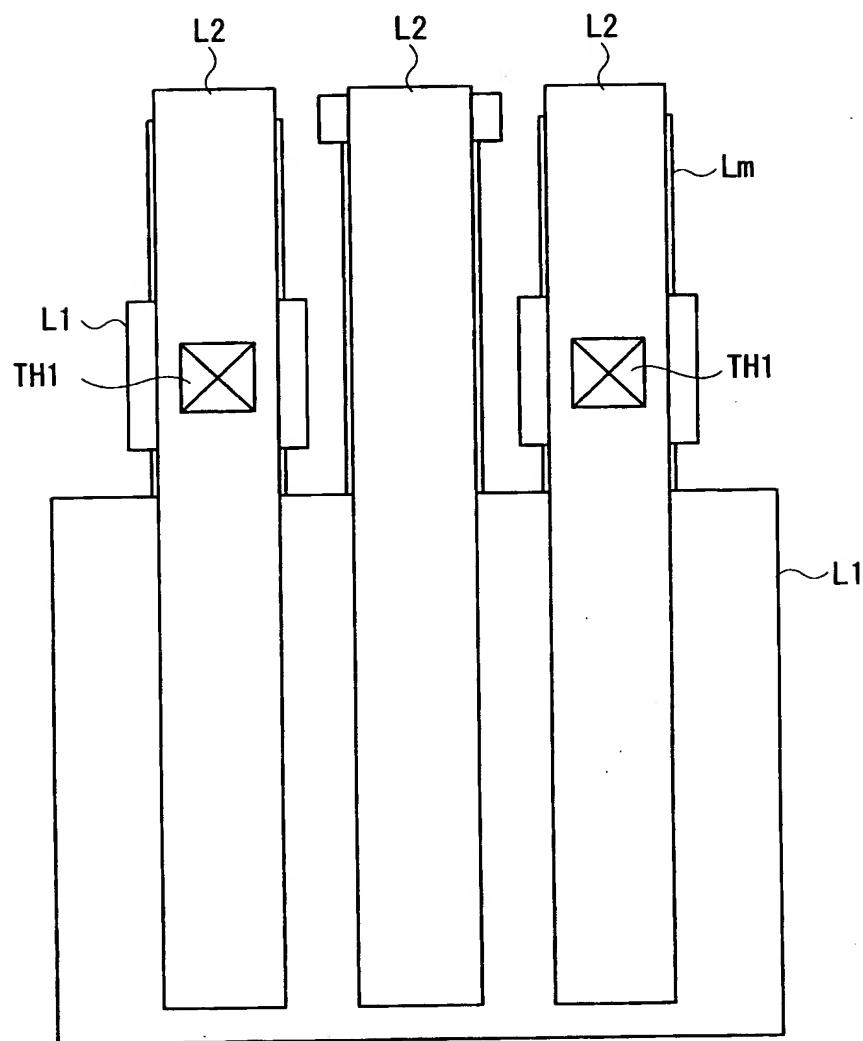


【图23】



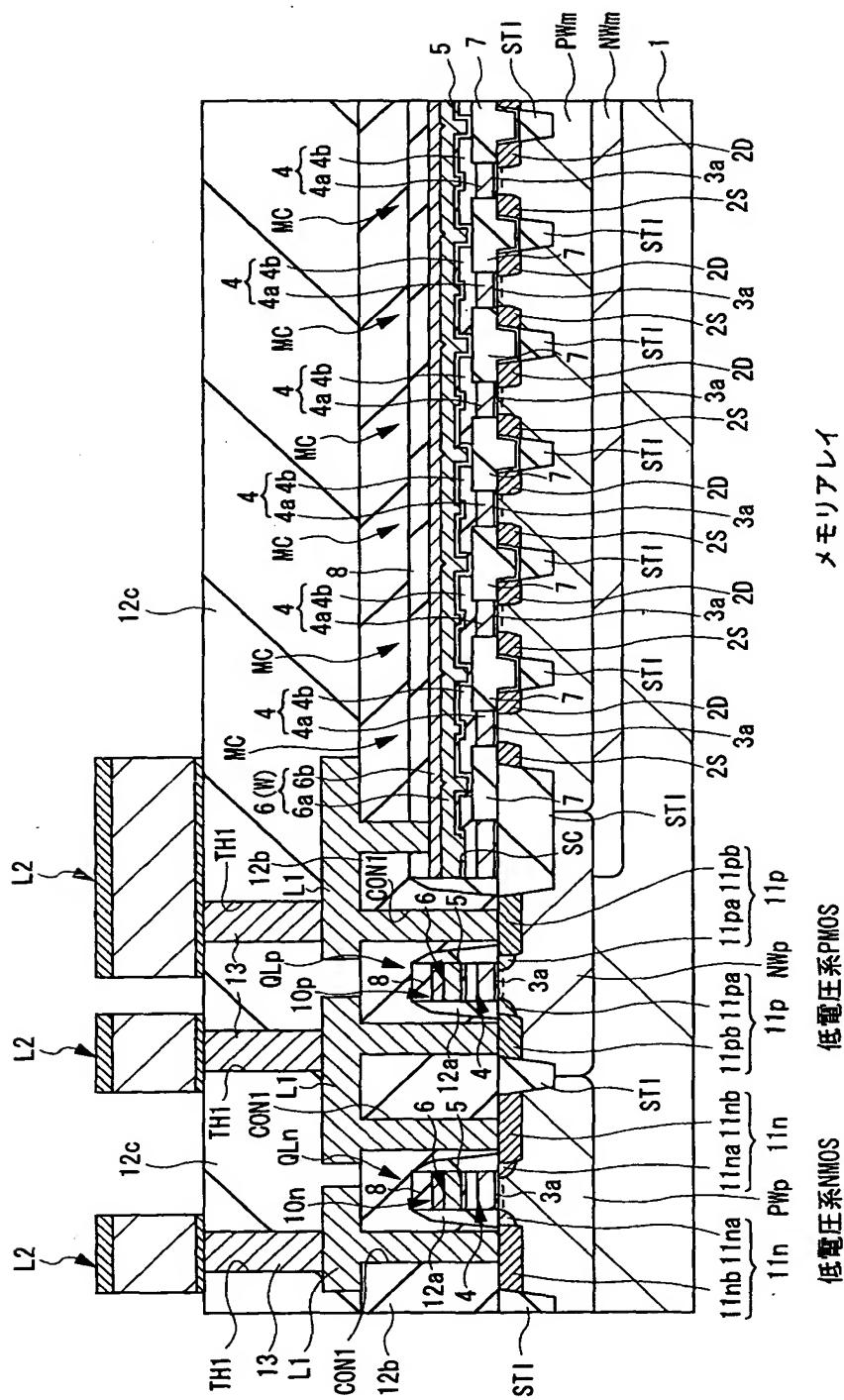
【図 24】

図 24



【図25】

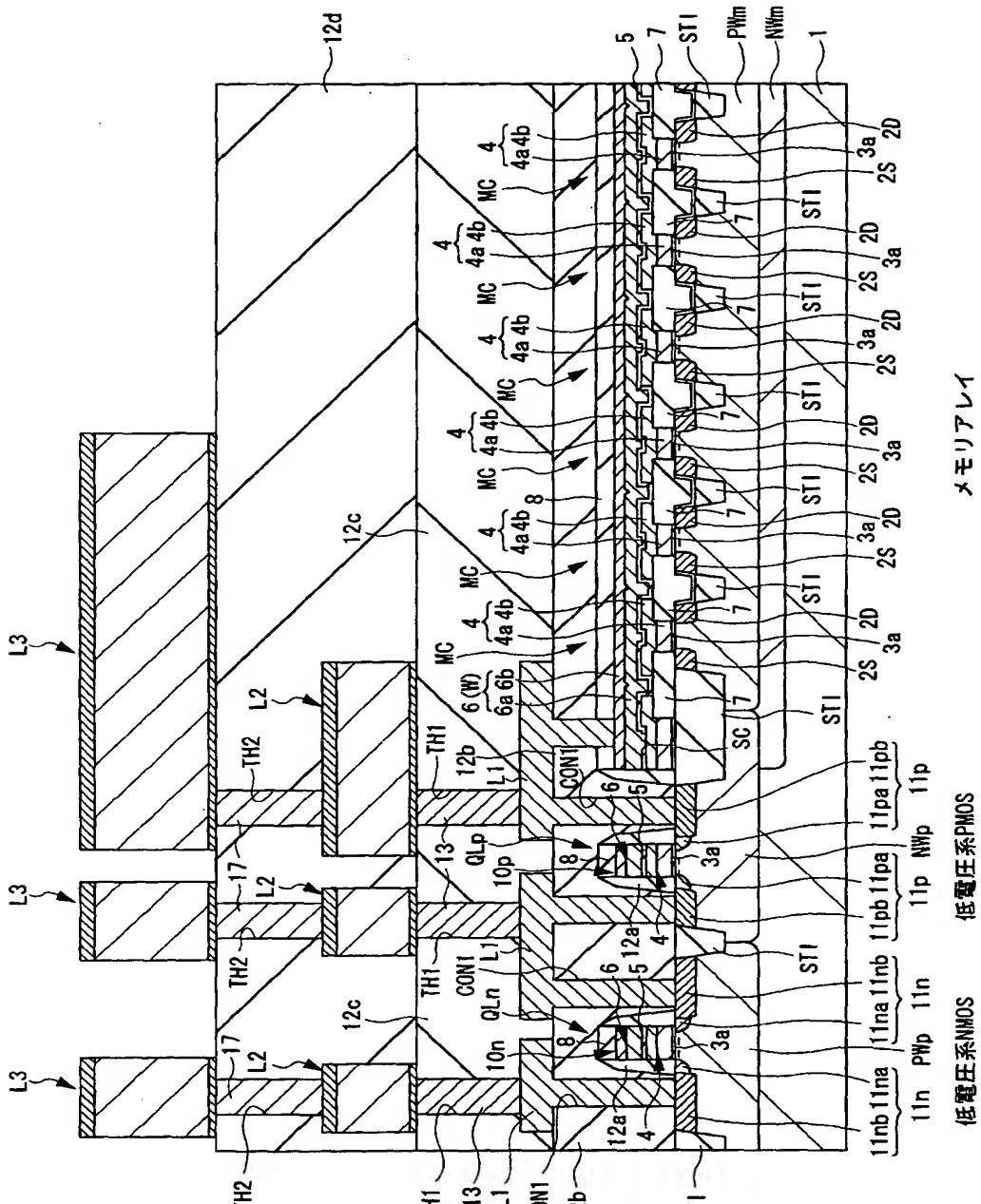
図 25



低電圧系NMOS

メモリアレイ

【図26】



26

【書類名】 要約書

【要約】

【課題】 フラッシュメモリにおいて基板に発生する結晶欠陥を抑制し、メモリセルのジャンクションリークのマージンを向上することのできる技術を提供する。

【解決手段】 周辺回路領域において半導体基板1の正面に形成される分離部S T Iの絶縁膜の上面を半導体基板1の表面とほぼ一致するように平坦化して、リセス量をゼロまたは相対的に小さくし、メモリアレイにおいて半導体基板1の正面に形成される分離部S T Iの絶縁膜の上面を半導体基板1の表面よりも落ち込ませて、リセス量を相対的に大きくする。これにより、メモリアレイでは分離部S T Iの溝の側壁の上部がフリー面となるので、分離部S T Iが半導体基板1に生ずる応力が低減されて、結晶欠陥の抑制を図ることができる。

【選択図】 図5

【書類名】 出願人名義変更届

【整理番号】 H02014901

【提出日】 平成15年 4月 8日

【あて先】 特許庁長官殿

【事件の表示】

【出願番号】 特願2002-342143

【承継人】

【識別番号】 000005108

【氏名又は名称】 株式会社日立製作所

【承継人代理人】

【識別番号】 100080001

【弁理士】

【氏名又は名称】 筒井 大和

【電話番号】 03-3366-0787

【手数料の表示】

【予納台帳番号】 006909

【納付金額】 4,200円

【提出物件の目録】

【包括委任状番号】 9003105

【プルーフの要否】 要

特願2002-342143

出願人履歴情報

識別番号 [500495256]

1. 変更年月日 2000年10月25日
[変更理由] 新規登録
住 所 茨城県ひたちなか市堀口751番地
氏 名 トレセンティテクノロジーズ株式会社

特願 2002-342143

出願人履歴情報

識別番号

[000005108]

1. 変更年月日

1990年 8月31日

[変更理由]

新規登録

住 所

東京都千代田区神田駿河台4丁目6番地

氏 名

株式会社日立製作所